

10/663,984  
September 17, 2003

日本国特許 *McDermott Will & Emery LLP*  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 9月10日

出願番号  
Application Number: 特願2003-318834

[ST. 10/C]: [JP 2003-318834]

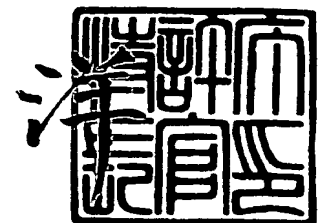
出願人  
Applicant(s): 三洋電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2004年 8月23日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



出証番号 出証特2004-3075568

【書類名】 特許願  
【整理番号】 NPC1030034  
【提出日】 平成15年 9月10日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03M 1/44  
【発明者】  
    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内  
    【氏名】 小林 重人  
【発明者】  
    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内  
    【氏名】 谷 邦之  
【発明者】  
    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内  
    【氏名】 和田 淳  
【特許出願人】  
    【識別番号】 000001889  
    【氏名又は名称】 三洋電機株式会社  
【代理人】  
    【識別番号】 100098305  
    【弁理士】  
    【氏名又は名称】 福島 祥人  
    【電話番号】 06-6330-5625  
【手数料の表示】  
    【予納台帳番号】 032920  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0006012

**【書類名】 特許請求の範囲****【請求項 1】**

複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路であって、

前記複数段の回路のうち少なくとも一段の回路は、

入力されるアナログ信号を基準電圧と比較する比較器と、

前記比較器の出力信号に応答して動作する演算増幅器と、

前記基準電圧と等価な基準電圧および前記アナログ信号を選択的に前記比較器に入力する第 1 のスイッチとを備え、

前記等価な基準電圧を入力したときのデジタル出力値を用いて段差エラーを補正することを特徴とするアナログーデジタル変換回路。

**【請求項 2】**

複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路であって、

前記複数段の回路のうち少なくとも一段の回路は、

入力されるアナログ信号を基準電圧と比較する比較器と、

前記比較器の出力信号に応答して動作する演算増幅器と、

前記基準電圧と等価な基準電圧および前記アナログ信号を選択的に前記比較器に入力する第 1 のスイッチと、

第 1 の論理値を有する第 1 の信号および第 2 の論理値を有する第 2 の信号を生成する信号生成回路とを備え、

前記演算増幅器は、前記第 1 のスイッチにより前記比較器に前記等価な基準電圧が入力される場合に前記信号生成回路により生成される第 1 の信号および第 2 の信号に応答して動作することを特徴とするアナログーデジタル変換回路。

**【請求項 3】**

複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路であって、

最終段を除く各段の回路が、

入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、

前記アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、

入力されたアナログ信号と前記デジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する差分増幅器とを備え、

前記アナログーデジタル変換器は、

前記入力されたアナログ信号を複数の基準電圧とそれぞれ比較する複数の比較器と、

前記複数の比較器の出力信号を符号化することによりデジタル信号を生成するエンコーダを含み、

前記複数段の回路のうち少なくとも一段の回路は、

外部または前段の回路から与えられるアナログ信号と前記複数の比較器のうち少なくとも 1 つの比較器に与えられる基準電圧に等価な基準電圧とを選択的に入力する第 1 のスイッチと、

第 1 の論理値を有する第 1 の信号および第 2 の論理値を有する第 2 の信号を生成する信号生成回路と、

前記第 1 のスイッチにより前記等価な基準電圧が入力される場合に、前記信号生成回路により生成される第 1 の信号および第 2 の信号に対応する前記デジタルーアナログ変換器からの出力信号を前記差分増幅器に与える第 2 のスイッチとを含むことを特徴とするアナログーデジタル変換回路。

**【請求項 4】**

第 1 および第 2 のノードを有する第 1 の回路と、

入力されたアナログ信号および前記第 2 のノードのアナログ信号のいずれか一方を選択

的に前記第1のノードに与える切替器と、

・前記第1のスイッチを制御する制御装置とを備え、

前記第1の回路は、

前記第1のノードからのアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、

前記アナログーデジタル変換器から出力されたデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、

前記第1のノードからのアナログ信号と前記デジタルーアナログ変換器から出力されたアナログ信号との差分を増幅して前記第2のノードに出力する差分増幅器とを含み、

前記制御装置は、入力されたアナログ信号が前記第1のノードに与えられた後、前記アナログーデジタル変換器による変換動作、前記デジタルーアナログ変換器による変換動作および前記差分増幅器による増幅動作が所定サイクル数行われるように前記切替器を制御し、

前記アナログーデジタル変換器は、

前記入力されたアナログ信号を複数の基準電圧とそれぞれ比較する複数の比較器と、

前記複数の比較器の出力信号を符号化することによりデジタル信号を生成するエンコーダとを含み、

前記第1の回路は、

外部または前段の回路から与えられるアナログ信号と前記複数の比較器のうち少なくとも1つの比較器に与えられる基準電圧に等価な基準電圧とを選択的に入力する第1のスイッチと、

第1の論理値を有する第1の信号および第2の論理値を有する第2の信号を生成する信号生成回路と、

前記第1のスイッチにより前記等価な基準電圧が入力される場合に、前記信号生成回路により生成される第1の信号および第2の信号に対応する前記デジタルーアナログ変換器からの出力信号を前記差分増幅器に与える第2のスイッチとを含むことを特徴とするアナログーデジタル変換回路。

#### 【請求項5】

複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路であって、

前記複数段の回路のうち少なくとも一段の回路が、

入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、

前記アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、

入力されたアナログ信号を増幅する演算増幅器と、

前記演算増幅器から出力されるアナログ信号と前記デジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する差分増幅器と、

前記入力されたアナログ信号を基準電圧と比較する比較器と、

前記比較器の出力信号に基づいて前記演算増幅器に入力されるアナログ信号の電圧レンジおよび前記デジタルーアナログ変換器の電圧レンジを調整する調整回路と、

入力されるアナログ信号と前記比較器に与えられる基準電圧に等価な基準電圧とを選択的に入力する第1のスイッチと、

第1の論理値を有する第1の信号および第2の論理値を有する第2の信号を生成する信号生成回路と、

前記第1のスイッチにより前記等価な基準電圧が入力される場合に、前記比較器の出力信号に代えて前記信号生成回路により生成される第1の信号および第2の信号を順に前記調整回路に与える第2のスイッチとを含むことを特徴とするアナログーデジタル変換回路。

#### 【請求項6】

前記第1の信号が前記エンコーダに与えられたときのデジタル出力値と前記第2の信号が

前記エンコーダに与えられたときのデジタル出力値との差分を算出する減算器をさらに備えたことを特徴とする請求項 2 ～ 4 のいずれかに記載のアナログーデジタル変換回路。

【請求項 7】

前記減算器の出力信号に基づいてデジタル出力値を補正する補正回路をさらに備えたことを特徴とする請求項 6 記載のアナログーデジタル変換回路。

**【書類名】明細書****【発明の名称】アナログーデジタル変換回路****【技術分野】****【0001】**

本発明は、アナログ信号をデジタル信号に変換するアナログーデジタル変換回路に関する。

**【背景技術】****【0002】**

近年、ビデオ信号のデジタル処理技術の進歩に伴い、ビデオ信号処理用のアナログーデジタル変換回路（A/Dコンバータ）の需要が大きくなっている。ビデオ信号処理用のアナログーデジタル変換回路には高速変換動作が要求されるため、従来、2ステップフラッシュ（2ステップパラレル）方式が広く用いられていた。

**【0003】**

しかし、変換ビット数の増大に伴い、2ステップフラッシュ方式では十分な変換精度が得られなくなってきたため、多段パイプライン（ステップフラッシュ）構成を有するアナログーデジタル変換回路が開発された。

**【0004】**

図24は従来の多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。図24のアナログーデジタル変換回路は、10ビット4段パイプライン構成を有する。

**【0005】**

図24において、アナログーデジタル変換回路101は、1段目の回路103、2段目の回路104、3段目の回路105、4段目の回路106、複数のラッチ回路107および出力回路108から構成されている。

**【0006】**

1段目（初段）～3段目の回路103～105は、サブA/Dコンバータ109、サブD/A（デジタルーアナログ）コンバータ110、演算増幅器111および減算回路112を含む。4段目（最終段）の回路106は、サブA/Dコンバータ109のみを含む。以下、演算増幅器111および減算回路112が差分増幅回路114を構成する。

**【0007】**

1段目の回路103は4ビット構成、2～4段目の回路104～106はそれぞれ2ビット構成である。1段目～3段目の回路103～105において、サブA/Dコンバータ109のビット数（ビット構成）およびサブD/Aコンバータ110のビット数（ビット構成）は同じに設定されている。

**【0008】**

次に、アナログーデジタル変換回路101の動作を説明する。以下、アナログーデジタル変換をA/D変換と略記する。

**【0009】**

まず、アナログ入力信号Vinが1段目の回路103へ転送される。1段目の回路103において、サブA/Dコンバータ109はアナログ入力信号Vinに対してA/D変換を行う。サブA/Dコンバータ109のA/D変換結果である上位4ビットのデジタル信号D9、D8、D7、D6は、サブD/Aコンバータ110へ転送されるとともに、4つのラッチ回路107を介して出力回路108へ転送される。

**【0010】**

減算回路112は、アナログ入力信号VinからサブD/Aコンバータ110のD/A変換結果を減算する。演算増幅器111は、減算回路112の出力を増幅する。演算増幅器111の出力は2段目の回路104へ転送される。

**【0011】**

2段目の回路104においては、1段目の回路103の演算増幅器111の出力に対して、1段目の回路103と同様の動作が行われる。また、3段目の回路105においては

、2段目の回路104の演算増幅器111の出力に対して、1段目の回路103と同様の動作が行われる。そして、2段目の回路104から中上位2ビットのデジタル信号D5、D4が得られ、3段目の回路105から中下位2ビットのデジタル信号D3、D2が得られる。

#### 【0012】

4段目の回路106においては、3段目の回路105の演算増幅器111の出力に対して、サブA/Dコンバータ109がA/D変換を行い、下位2ビットのデジタル信号D1、D0が得られる。

#### 【0013】

1段目～4段目の回路103～106のデジタル信号D9～D0は、各ラッチ回路107を経て同時に出力回路108に到達する。すなわち、各ラッチ回路107は、各回路103～106のデジタル信号D9～D0の出力の同期をとるために設けられている。出力回路108はアナログ入力信号Vinの10ビットのデジタル出力値Doutを出力する。

#### 【0014】

このように、アナログーデジタル変換回路101においては、各段の回路103～105において、アナログ入力信号Vinまたは前段の回路103、104の演算増幅器111の出力と、その段の回路103～105のデジタル出力のD/A変換結果との差分が演算増幅器111によって増幅される。そのため、変換ビット数が増大してLSB (Least Significant Bit) が小さくなっても、サブA/Dコンバータ109を構成する各コンパレータの分解能を実質的に向上させることが可能になり、十分な変換精度を得ることができる。

#### 【0015】

次に、図25は図24の差分増幅回路114の一例を示す回路図である。図26は図25の差分増幅回路114の動作を説明するための図である。

#### 【0016】

図25において、演算増幅器111の反転入力端子はノードnbに接続され、非反転入力端子は接地されている。また、演算増幅器111の出力端子はノードnoに接続されるとともにコンデンサ102を介して反転入力端子に接続されている。演算増幅器111の反転入力端子と非反転入力端子との間にはスイッチSW1が接続され、ノードnbとノードnaとの間にコンデンサ103が接続されている。ノードnaは、スイッチSW2を介してノードn1に接続され、かつスイッチSW3を介してノードn2に接続されている。ノードn1に電圧V1が入力され、ノードn2に電圧V2が入力され、ノードnoから電圧Voが出力される。

#### 【0017】

ここで、図26を参照しながら図25の差分増幅回路114の動作を説明する。なお、コンデンサ102の容量値をCとし、コンデンサ103の容量値をKCとし、接地電位をVGとする。Kは定数である。

#### 【0018】

まず、図26に示すように、スイッチSW1およびスイッチSW2をオンにし、スイッチSW3をオフにする。それにより、ノードnaの電圧はV1となる。また、ノードnoの電圧は0となる。このとき、ノードnbの電荷Qaは次式のようにになる。

#### 【0019】

$$Q_a = (V_G - V_1) KC \cdots (1)$$

次に、図24に示すように、スイッチSW1をオフにした後、スイッチSW2をオフにし、かつスイッチSW3をオンにする。それにより、ノードnaの電圧はV2となる。また、ノードnoの電圧はVoとなる。このとき、ノードnbは仮想接地するため、ノードnbの電荷Qbは次式のようにになる。

#### 【0020】

$$Q_b = (V_G - V_2) KC + (V_G - V_o) C \cdots (2)$$

ノード  $n_b$  には電荷が抜け出る経路がないので、電荷保存則により  $Q_a = Q_b$  となる。  
したがって、次式が成立する。

【0021】

$$(V_G - V_1) KC = (V_G - V_2) KC + (V_G - V_o) C \cdots (3)$$

上式から、ノード  $n_o$  の電圧  $V_o$  は次式のようにになる。

【0022】

$$V_o = V_G + (V_1 - V_2) K \cdots (4)$$

このようにして、電圧  $V_1$  から電圧  $V_2$  が減算され、その減算値が  $K$  倍に増幅される。

【0023】

しかし、これは理想状態の差分増幅回路 114 の動作である。現実には、差分増幅回路 114 の製造工程のばらつき等の影響で容量の比精度に誤差が発生する場合がある。コンデンサ 103 の容量値を  $(K - \text{err}) C$  とすると、式 (4) のノード  $n_o$  の電圧  $V_o$  は次式のようにになる。

【0024】

$$\begin{aligned} V_o &= V_G + (V_1 - V_2) \cdot (K - \text{err}) \\ &= V_G + (V_1 - V_2) K - (V_1 - V_2) \text{err} \cdots (5) \end{aligned}$$

式 (5) の右辺の第 3 項が容量の比精度誤差により発生する差分増幅回路 114 のゲインエラーを表している。 $\text{err}$  はゲインエラーの傾きである。

【0025】

次に、図 27 は図 24 のアナログーデジタル変換回路 101 の入出力特性を示す図である。図 28 は図 27 の入出力特性の  $\alpha$  部の拡大図である。図 27 および図 28 の横軸はアナログ入力信号  $V_{in}$  を示し、縦軸はデジタル出力値  $D_{out}$  を示す。

【0026】

図 27 の破線  $T_r$  はアナログーデジタル変換回路 101 の理想的な入出力特性を示し、実線  $E_r$  はアナログーデジタル変換回路 101 の差分増幅回路 114 がゲインエラーを有する場合の入出力特性を示す。

【0027】

理想的には、破線  $T_r$  で示されるようにデジタル出力値  $D_{out}$  がアナログ入力信号  $V_{in}$  に対して一定の比例関係を有することが望ましい。しかし、差分増幅回路 114 がゲインエラーを有する場合、アナログーデジタル変換回路 101 の入出力特性には、実線  $E_r$  で示されるように非直線性誤差（以下、段差エラーと呼ぶ。）が現れる。

【0028】

図 24 に示すアナログーデジタル変換回路 101 では、1 段目の回路 103 の差分増幅回路 114 のゲインエラー、2 段目の回路 104 の差分増幅回路 114 のゲインエラーおよび 3 段目の回路 105 の差分増幅回路 114 のゲインエラーが入出力特性に影響を与えるが、1 段目の回路 103 が上位 4 ビットのデジタル信号  $D_9 \sim D_6$  を出力するため、1 段目の回路 103 の差分増幅回路 114 のゲインエラーが入出力特性に最も大きく影響を与える。

【0029】

したがって、1 段目の差分増幅回路 114 のゲインエラーによる段差エラーを補正することによりアナログーデジタル変換回路 101 の入出力特性における段差エラーを改善することができる。

【特許文献 1】特開平 11-088172 号公報

【発明の開示】

【発明が解決しようとする課題】

【0030】

以上のような多段パイプライン構成を有するアナログーデジタル変換回路におけるゲインエラーによる段差エラーの問題は、予め設計した通りにアナログーデジタル変換回路を作製した後、段差エラーにより生じるデジタル値の計測を行って再度アナログーデジタル変換回路の各部パラメータの調整を行うチューニング設計により解決されている。しかし



、このような能動的な手法では、アナログーデジタル変換回路の開発コストが高くなる。

【0031】

また、チューニング設計後に差分増幅回路に供給される電源電圧が変動した場合には、電源電圧の変動による段差エラーを防止することができず、特性の劣化につながる。

【0032】

本発明の目的は、入出力特性の段差エラーを検出することが可能なアナログーデジタル変換回路を提供することである。

【課題を解決するための手段】

【0033】

第1の発明に係るアナログーデジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路であって、複数段の回路のうち少なくとも一段の回路は、入力されるアナログ信号を基準電圧と比較する比較器と、比較器の出力信号に応答して動作する演算増幅器と、基準電圧と等価な基準電圧およびアナログ信号を選択的に比較器に入力する第1のスイッチとを備え、等価な基準電圧を入力したときのデジタル出力値を用いて段差エラーを補正するものである。

【0034】

第1の発明に係るアナログーデジタル変換回路においては、複数段の回路のうち少なくとも一段の回路で入力されるアナログ信号が基準電圧と比較器により比較され、比較器の出力信号に応答して演算増幅器が動作する。第1のスイッチにより比較器にアナログ信号が入力された場合には、アナログ信号に対応するデジタル出力値が得られる。

【0035】

したがって、第1のスイッチにより比較器に基準電圧と等価な基準電圧が入力された場合に得られるデジタル出力値を用いて演算増幅器のゲインエラーによる入出力特性の段差エラーを容易に検出することが可能となる。

【0036】

第2の発明に係るアナログーデジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路であって、複数段の回路のうち少なくとも一段の回路は、入力されるアナログ信号を基準電圧と比較する比較器と、比較器の出力信号に応答して動作する演算増幅器と、基準電圧と等価な基準電圧およびアナログ信号を選択的に比較器に入力する第1のスイッチと、第1の論理値を有する第1の信号および第2の論理値を有する第2の信号を生成する信号生成回路とを備え、演算増幅器は、第1のスイッチにより比較器に等価な基準電圧が入力される場合に信号生成回路により生成される第1の信号および第2の信号に応答して動作するものである。

【0037】

第2の発明に係るアナログーデジタル変換回路においては、複数段の回路のうち少なくとも一段の回路で入力されるアナログ信号が基準電圧と比較器により比較され、比較器の出力信号に応答して演算増幅器が動作する。第1のスイッチにより比較器にアナログ信号が入力された場合には、アナログ信号に対応するデジタル出力値が得られる。

【0038】

第1のスイッチにより比較器に基準電圧と等価な基準電圧が入力された場合には、演算増幅器は信号生成回路により生成される第1の信号および第2の信号に応答して動作する。この場合、第1の信号への応答時に得られるデジタル出力値と第2の信号への応答時に得られるデジタル出力値との差が演算増幅器のゲインエラーによる入出力特性の段差エラーの大きさに相当する。したがって、入出力特性の段差エラーを容易に検出することが可能となる。

【0039】

第3の発明に係るアナログーデジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路

であって、最終段を除く各段の回路が、入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、入力されたアナログ信号とデジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する差分増幅器とを備え、アナログーデジタル変換器は、入力されたアナログ信号を複数の基準電圧とそれぞれ比較する複数の比較器と、複数の比較器の出力信号を符号化することによりデジタル信号を生成するエンコーダとを含み、複数段の回路のうち少なくとも一段の回路は、外部または前段の回路から与えられるアナログ信号と複数の比較器のうち少なくとも1つの比較器に与えられる基準電圧に等価な基準電圧とを選択的に入力する第1のスイッチと、第1の論理値を有する第1の信号および第2の論理値を有する第2の信号を生成する信号生成回路と、第1のスイッチにより等価な基準電圧が入力される場合に、信号生成回路により生成される第1の信号および第2の信号に対応するデジタルーアナログ変換器からの出力信号を差分増幅器に与える第2のスイッチとを含むものである。

#### 【0040】

第3の発明に係るアナログーデジタル変換回路において、最終段を除く各段の回路で入力されたアナログ信号がデジタル信号にアナログーデジタル変換器により変換され、アナログーデジタル変換器から出力されるデジタル信号がデジタルーアナログ変換器によりアナログ信号に変換され、入力されたアナログ信号と前デジタルーアナログ変換器から出力されるアナログ信号との差分が差分増幅器により増幅される。この場合、各段の回路のアナログーデジタル変換器では、入力されたアナログ信号が複数の比較器により複数の基準電圧とそれぞれ比較され、複数の比較器の出力信号がエンコーダにより符号化される。それにより、デジタル信号が生成される。デジタル出力値は、複数段の回路内のアナログーデジタル変換器から出力されるデジタル信号により構成される。

#### 【0041】

複数段の回路のうち少なくとも一段の回路において、第1のスイッチにより等価な基準電圧が入力される場合に、信号生成回路により生成される第1の信号および第2の信号に対応するデジタルーアナログ変換器からの出力信号が第2のスイッチにより差分増幅器に与えられる。

#### 【0042】

この場合、第1の信号が与えられたときに得られるデジタル出力値と第2の信号が与えられたときに得られるデジタル出力値との差が差分増幅器のゲインエラーによる入出力特性の段差エラーの大きさに相当する。したがって、入出力特性の段差エラーを容易に検出することが可能となる。

#### 【0043】

第1のスイッチは、外部または前段の回路から与えられるアナログ信号と複数の比較器のうち複数の比較器に与えられる複数の基準電圧にそれぞれ等価な複数の基準電位とを選択的に入力し、第2のスイッチは、第1のスイッチにより等価な複数の基準電圧のいずれかが入力される場合に、対応する比較器の出力信号に代えて信号生成回路により生成される第1の信号および第2の信号を順にエンコーダに与えてもよい。

#### 【0044】

この場合、入出力特性における段差エラーが異なる段差を有する場合においても、段差エラーの大きさを容易に検出することが可能となる。

#### 【0045】

少なくとも一段の回路は、複数段の回路を含み、複数段の回路の各々は、外部または前段の回路から与えられるアナログ信号と複数の比較器のうち少なくとも1つの比較器に与えられる基準電圧に等価な基準電圧とを選択的に入力する第1のスイッチと、第1の論理値を有する第1の信号および第2の論理値を有する第2の信号を生成する信号生成回路と、第1のスイッチにより等価な基準電位が入力される場合に、少なくとも1つの比較器の出力信号に代えて信号生成回路により生成される第1の信号および第2の信号を順にエンコーダに与える第2のスイッチとを含むものである。

## 【0046】

この場合、複数段の回路の差分増幅器のゲインエラーにより入出力特性に段差エラーが生じる場合においても、段差エラーの大きさを容易に検出することができる。

## 【0047】

第4の発明に係るアナログーデジタル変換回路は、第1および第2のノードを有する第1の回路と、入力されたアナログ信号および第2のノードのアナログ信号のいずれか一方を選択的に第1のノードに与える切替器と、切替器を制御する制御装置とを備え、第1の回路は、第1のノードからのアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、アナログーデジタル変換器から出力されたデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、第1のノードからのアナログ信号とデジタルーアナログ変換器から出力されたアナログ信号との差分を増幅して第2のノードに出力する差分増幅器とを含み、制御装置は、入力されたアナログ信号が第1のノードに与えられた後、アナログーデジタル変換器による変換動作、デジタルーアナログ変換器による変換動作および差分増幅器による増幅動作が所定サイクル数行われるように切替器を制御し、アナログーデジタル変換器は、入力されたアナログ信号を複数の基準電圧とそれぞれ比較する複数の比較器と、複数の比較器の出力信号を符号化することによりデジタル信号を生成するエンコーダとを含み、第1の回路は、外部または前段の回路から与えられるアナログ信号と複数の比較器のうち少なくとも1つの比較器に与えられる基準電圧に等価な基準電圧とを選択的に入力する第1のスイッチと、第1の論理値を有する第1の信号および第2の論理値を有する第2の信号を生成する信号生成回路と、第1のスイッチにより等価な基準電圧が入力される場合に、信号生成回路により生成される第1の信号および第2の信号に対応するデジタルーアナログ変換器からの出力信号を差分増幅器に与える第2のスイッチとを含むものである。

## 【0048】

第4の発明に係るアナログーデジタル変換回路においては、入力されたアナログ信号が第1のノードに与えられた後、第1の回路において、アナログーデジタル変換器による変換動作、デジタルーアナログ変換器による変換動作および差分増幅器による増幅動作が所定サイクル数行われる。それにより、各サイクルごとに第1の回路内のアナログーデジタル変換器からデジタル信号が順次出力される。

## 【0049】

このようにして、第1の回路を繰り返し使用することにより多段パイプライン構成と同様の処理が実現される。

## 【0050】

第1の回路において、第1のスイッチにより等価な基準電圧が入力される場合に、信号生成回路により生成される第1の信号および第2の信号に対応するデジタルーアナログ変換器からの出力信号が第2のスイッチにより差分増幅器に与えられる。

## 【0051】

この場合、第1の信号が与えられたときに得られるデジタルー出力値と第2の信号が与えられたときに得られるデジタル出力値との差が段差エラーの大きさに相当する。したがって、入出力特性の段差エラーを容易に検出することが可能となる。

## 【0052】

第5の発明に係るアナログーデジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、アナログ信号をデジタル出力値に変換するアナログーデジタル変換回路であって、複数段の回路のうち少なくとも一段の回路が、入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、入力されたアナログ信号を増幅する演算増幅器と、演算増幅器から出力されるアナログ信号とデジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する差分増幅器と、入力されたアナログ信号を基準電圧と比較する比較器と、比較器の出力信号に基づいて演算増幅器に入力されるアナログ信号の電圧レンジおよびデジタルーアナログ変換器の電圧レンジ

を調整する調整回路と、入力されるアナログ信号と比較器に与えられる基準電圧に等価な基準電圧とを選択的に入力する第1のスイッチと、第1の論理値を有する第1の信号および第2の論理値を有する第2の信号を生成する信号生成回路と、第1のスイッチにより等価な基準電圧が入力される場合に、比較器の出力信号に代えて信号生成回路により生成される第1の信号および第2の信号を順に調整回路に与える第2のスイッチとを含むものである。

#### 【0053】

第5の発明に係るアナログーデジタル変換回路においては、複数段の回路のうち少なくとも一段の回路に入力されたアナログ信号がアナログーデジタル変換器によりデジタル信号に変換され、アナログーデジタル変換器から出力されるデジタル信号がデジタルーアナログ変換器によりアナログ信号に変換される。また、入力されたアナログ信号が演算増幅器により増幅され、演算増幅器から出力されるアナログ信号とデジタルーアナログ変換器から出力されるアナログ信号との差分が差分増幅器により増幅される。デジタル出力値は、複数段の回路内のアナログーデジタル変換器から出力されるデジタル信号により構成される。

#### 【0054】

この場合、入力されたアナログ信号が比較器により基準電圧と比較され、比較器の出力信号に基づいて演算増幅器に入力されるアナログ信号の電圧レンジおよびデジタルーアナログ変換器の電圧レンジが調整回路により調整される。

#### 【0055】

第1のスイッチにより等価な基準電圧が入力される場合に、比較器の出力信号に代えて信号生成回路により生成される第1の信号および第2の信号が順に第2のスイッチにより調整回路に与えられる。

#### 【0056】

この場合、第1の信号が与えられたときに得られるデジタル出力値と第2の信号が与えられたときに得られるデジタル出力値との差が演算増幅器のゲインエラーにより入出力特性の段差エラーの大きさに相当する。したがって、入出力特性の段差エラーを容易に検出することが可能となる。

#### 【0057】

少なくとも一段の回路の後段の回路の電圧レンジは、正規レンジおよび冗長レンジを含み、等価な基準電圧は、少なくとも1つの比較器に与えられる基準電圧を含む正規レンジと冗長レンジとの重複領域の任意の電圧であってもよい。

#### 【0058】

等価な基準電圧として少なくとも1つの比較器に与えられる基準電圧を含む正規レンジと冗長レンジとの重複領域内の任意の電圧を用いることができる。それにより、入出力特性の段差エラーを容易に検出することができる。

#### 【0059】

アナログーデジタル変換回路は、第1の信号がエンコーダに与えられたときのデジタル出力値と第2の信号がエンコーダに与えられたときのデジタル出力値との差分を算出する減算器をさらに備えてもよい。

#### 【0060】

この場合、第1の信号がエンコーダに与えられたときのデジタル出力値と第2の信号がエンコーダに与えられたときのデジタル出力値との差分が減算器により算出されることにより、入出力特性の段差エラーが容易に検出される。

#### 【0061】

アナログーデジタル変換回路は、減算器の出力信号に基づいてデジタル出力値を補正する補正回路をさらに備えてもよい。

#### 【0062】

この場合、検出された段差エラーの大きさに基づいて補正回路によりデジタル出力値が補正される。それにより、段差エラーを有さない入出力特性が得られる。

**【発明の効果】****【0063】**

本発明によれば、スイッチにより比較器に基準電圧と等価な基準電圧が入力された場合には、信号生成回路により生成される第1の信号および第2の信号に応答して動作する。この場合、第1の信号への応答時に得られるデジタル出力値と第2の信号への応答時に得られるデジタル出力値との差が演算増幅器のゲインエラーによる入出力特性の段差エラーの大きさに相当する。したがって、入出力特性の段差エラーを容易に検出することが可能となる。

**【発明を実施するための最良の形態】****【0064】**

以下、本発明の実施の形態を図面を参照しながら説明する。

**【0065】****(第1の実施の形態)**

図1は、第1の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。図1のアナログーデジタル変換回路1は、10ビット4段パイプライン構成を有する。

**【0066】**

図1において、アナログーデジタル変換回路1は、主に1段目の回路3、2段目の回路4、3段目の回路5、4段目の回路6、複数のラッチ回路7、出力回路8、段差エラー検出制御回路30、メモリ15、減算器16および補正回路17から構成されている。

**【0067】**

1段目(初段)の回路3は、サブA/D(アナログーデジタル)コンバータ9a、サブD/A(デジタルーアナログ)コンバータ10、演算増幅器11および減算回路12を含む。また、1段目の回路3には、段差エラー検出制御回路30によりオンおよびオフが制御されるスイッチSW31、SW32が設けられる。スイッチSW31の一端には基準電圧Vrefaが印加される。

**【0068】**

2段目および3段目の回路4、5は、サブA/Dコンバータ9、サブD/Aコンバータ10、演算増幅器11および減算回路12を含む。以下、減算回路12および演算増幅器11が差分増幅回路14を構成する。

**【0069】**

1段目の回路3、2段目の回路4および3段目の回路5内の演算増幅器11の利得は4である。4段目(最終段)の回路6は、サブA/Dコンバータ9のみを含む。ここで、サブA/Dコンバータ9aは、サブA/Dコンバータ9の構成にさらに後述するモード切替回路を含む。また、各段のサブA/Dコンバータ9、9aおよびサブD/Aコンバータ10は、それぞれ第1基準電圧VRTおよび第2基準電圧VRBを参照する。

**【0070】**

1段目の回路3は4ビット構成、2~4段目の回路4~6はそれぞれ2ビット構成である。ただし、1段目以外のサブA/Dコンバータ9には、ほぼ1ビット程度の冗長ビットが用意されている。この冗長ビットの詳細については後述する。

**【0071】**

次に、図1のアナログーデジタル変換回路1の動作を説明する。

**【0072】**

通常のA/D変換動作時においては、段差エラー検出制御回路30は、スイッチSW31をオフにし、スイッチSW32をオンにする。それにより、アナログ入力信号Vinが、1段目の回路3の差分増幅回路14およびサブA/Dコンバータ9aへ転送される。

**【0073】**

次に、1段目の回路3において、サブA/Dコンバータ9aは、アナログ入力信号Vinに対してA/D変換を行う。サブA/Dコンバータ9aのA/D変換結果である上位4ビットのデジタル信号D9、D8、D7、D6は、サブD/Aコンバータ10へ転送され

るとともに、4つのラッチ回路7を介して出力回路8へ転送される。サブD/Aコンバータ10は、サブA/Dコンバータ9aのA/D変換結果である上位4ビットのデジタル信号D9、D8、D7、D6をアナログ信号に変換する。

#### 【0074】

減算回路12は、アナログ入力信号V<sub>in</sub>からサブD/Aコンバータ10のD/A変換結果を減算する。演算増幅器11は、減算回路12の出力を増幅する。演算増幅器11の出力は、2段目の回路4へ転送される。

#### 【0075】

2段目の回路4においては、サブA/Dコンバータ9が、1段目の回路3の演算増幅器11の出力に対してA/D変換を行う。サブA/Dコンバータ9のA/D変換結果は、サブD/Aコンバータ10へ転送されるとともに、3つのラッチ回路7を介して出力回路8へ転送される。これにより、2段目の回路4から中上位2ビットのデジタル信号D5、D4が得られる。

#### 【0076】

2段目の回路4の減算回路12は、1段目の回路3の演算増幅器11の出力からサブD/Aコンバータ10のD/A変換結果を減算する。2段目の回路4の演算増幅器11は、減算回路12の出力を増幅する。演算増幅器11の出力は、3段目の回路5へ転送される。

#### 【0077】

3段目の回路5においては、2段目の回路4と同様の動作が行われる。それにより、3段目の回路5から中下位2ビットのデジタル信号D3、D2が得られる。

#### 【0078】

4段目の回路6においては、3段目の回路5の演算増幅器11の出力に対してサブA/Dコンバータ9がA/D変換を行い、下位2ビットのデジタル信号D1、D0が得られる。

#### 【0079】

1段目～4段目の回路3～6のデジタル信号D9～D0は、各ラッチ回路7を経て同時に出力回路8に到達する。すなわち、各ラッチ回路7は各回路3～6のデジタル信号D9～D0の出力の同期をとるために設けられている。

#### 【0080】

出力回路8は、後述する補正回路17からの与えられる補正信号に応じてアナログ入力信号V<sub>in</sub>に対応する10ビットのデジタル出力値D<sub>out</sub>を出力する。

#### 【0081】

次に、図2は、図1のアナログーデジタル変換回路1の入出力特性を示す図である。図2の横軸はアナログ入力信号V<sub>in</sub>を示し、縦軸はデジタル出力値D<sub>out</sub>を示す。

#### 【0082】

図2の破線T<sub>r</sub>はアナログーデジタル変換回路1の理想的な入出力特性を示し、実線E<sub>r</sub>はアナログーデジタル変換回路1の差分増幅回路14の演算増幅器11がゲインエラーを有する場合の入出力特性を示す。

#### 【0083】

理想的には、破線T<sub>r</sub>で示されるようにデジタル出力値D<sub>out</sub>がアナログ入力信号V<sub>in</sub>に対して一定の比例関係を有することが望ましい。しかし、演算増幅器11がゲインエラーを有する場合、アナログーデジタル変換回路1の入出力特性には、実線E<sub>r</sub>で示されるように非直線性誤差の段差エラーが現れる。

#### 【0084】

具体的に、図1のアナログーデジタル変換回路1においては、1段目の回路3において上位4ビットのA/D変換を行っているため、図2に示す16個の段差を有する段差エラーが発生する。2段目の回路4によりその16個の各段差に細かい段差エラーが発生する。3段目の回路5によりその細かい各段差にさらに細かい段差が発生する。このように、本実施の形態におけるアナログーデジタル変換回路1においては、1段目の回路3が上位

ビットのデジタル信号D9～D6を出力するため、1段目の回路3の演算増幅器11のゲインエラーが入出力特性に最も大きく影響を与える。

【0085】

図3は、図2に示す入出力特性の一部の拡大図である。本実施の形態では、1断目の回路3における演算増幅器11がゲインエラーを有するものとする。

【0086】

図3においては、図2と同様に破線Trがアナログーデジタル変換回路1の理想的な入出力特性を示し、実線Erはアナログーデジタル変換回路1の差分増幅回路14の演算増幅器11がゲインエラーを有する場合の入出力特性を示す。

【0087】

図3に示すように、破線Trで示す理想的な入出力特性では、アナログ入力信号Vinが後述する基準電圧Vrefaよりも低い領域（後述する外部入力信号CDSaが“0”となる領域）とアナログ入力信号Vinが基準電圧Vrefa以上の領域（外部入力信号CDSaが“1”となる領域）とでデジタル出力値Doutが連続的に変化する。一方、実線Erで示すように、1段目の回路3の演算増幅器11がゲインエラーを有する場合には、アナログ入力信号Vinが後述する基準電圧Vrefaよりも低い領域（外部入力信号CDSaが“0”となる領域）とアナログ入力信号Vinが基準電圧Vrefa以上の領域（外部入力信号CDSaが“1”となる領域）とでデジタル出力値Doutが不連続となる。

【0088】

段差エラーにおいてアナログ入力信号Vinが基準電圧Vrefaのときのデジタル出力値Doutの差を段差エラーの大きさESと呼ぶ。

【0089】

段差エラー検出時には、段差エラー検出制御回路30がスイッチSW31をオンし、スイッチSW32をオフする。それにより、基準電圧Vrefaが1段目の回路3の差分増幅回路14およびサブA/Dコンバータ9aに印加される。また、段差エラー検出制御回路30は、後述するサブA/Dコンバータ9aのモード切替回路に外部入力信号（CDSa）およびテストモード信号（MD1）を与える。この外部入力信号（CDSa）およびテストモード信号（MD1）については後述する。

【0090】

次に、サブA/Dコンバータ9aの構成について説明する。図4は、サブA/Dコンバータ9aの内部構成を示す回路図である。

【0091】

図4のサブA/Dコンバータ9aは、全並列比較（フラッシュ）方式サブA/Dコンバータである。サブA/Dコンバータ9aは、複数の基準抵抗R0～R15、複数のコンパレータ900～915、エンコーダ920およびモード切替回路91から構成される。

【0092】

複数の基準抵抗R0～R15は全て同じ抵抗値を有し、第1基準電圧VRTを受けるノードと第2基準電圧VRBを受けるノードとの間に直列に接続されている。

【0093】

複数の基準抵抗R0～R15により第1基準電圧VRTと第2基準電圧VRBとの間の電位差が分割され、複数の基準電圧が生成される。基準抵抗R0と基準抵抗R1との間のノードには基準電圧Vrefaが生成される。

【0094】

コンパレータ900～915は、それぞれ対応する基準電圧をアナログ入力信号Vinと比較する。上記のように、本実施の形態においては、コンパレータ901に与えられる基準電圧Vrefaが図1のスイッチSW31に与えられる。

【0095】

モード切替回路91は、CMOS（相補型金属酸化物半導体）スイッチSW51、CMOSスイッチSW61およびインバータ71から構成される。

**【0096】**

CMOSスイッチSW51は、PチャネルMOS電界効果トランジスタ（以下、PMOSFETと呼ぶ）52およびNチャネルMOS電界効果トランジスタ（以下、NMOSFETと呼ぶ）53から構成され、CMOSスイッチSW61は、PチャネルMOS電界効果トランジスタ（以下、PMOSFETと呼ぶ）62およびNチャネルMOS電界効果トランジスタ（以下、NMOSFETと呼ぶ）63から構成される。

**【0097】**

段差エラー検出制御回路30は、テストモード信号MD1を出力する端子IT1および外部入力信号CDSaを出力する端子IT2を有する。

**【0098】**

CMOSスイッチSW51は、段差エラー検出制御回路30の出力端子IT2とノードN1との間に接続されている。CMOSスイッチSW61は、コンパレータ901の出力端子とノードN1との間に接続されている。

**【0099】**

PMOSFET52のゲートおよびNMOSFET63のゲートには、段差エラー検出制御回路30の端子IT1のテストモード信号MD1が与えられ、PMOSFET62のゲートおよびNMOSFET53のゲートには、インバータ71を介してテストモード信号MD1の反転信号が与えられる。

**【0100】**

通常のA/D変換動作時には、段差エラー検出制御回路30の端子IT1のテストモード信号MD1が“1”となる。それにより、CMOSスイッチSW51がオフし、CMOSスイッチSW61がオンする。その結果、コンパレータ901の出力信号がノードN1から出力信号CDS1として出力される。

**【0101】**

段差エラー検出時には、段差エラー検出制御回路30の端子IT1のテストモード信号MD1が“0”となる。それにより、CMOSスイッチSW51がオンし、CMOSスイッチSW61がオフする。その結果、段差エラー検出制御回路30の端子IT2の外部入力信号CDSaがノードN1から出力信号CDS1として出力される。

**【0102】**

エンコーダ920は、各コンパレータ900、902～915の出力信号CDS0、CDS2～CDS15およびモード切替回路91の出力信号CDS1に基づいて、上位4ビットのデジタル信号D9、D8、D7、D6を生成する。

**【0103】**

ここで、段差エラー検出時のアナログーデジタル変換回路1の動作について説明する。例えば、アナログーデジタル変換回路1のA/D変換動作前に段差エラー検出を行う。この場合、上記のように、テストモード信号MD1が“0”に設定される。まず、段差エラー検出制御回路30は、外部入力信号CDSaを“0”に設定する。このときのデジタル出力値Doutが図1のメモリ15に記憶される。次に、段差エラー検出制御回路30は、外部入力信号CDSaを“1”に設定する。このときのデジタル出力値Doutが減算器16に与えられる。減算器16は、外部入力信号CDSaが“1”のときのデジタル出力値Doutとメモリ15に記憶されたデジタル出力値Doutとの差分値を算出する。減算器16により算出された差分値が図3の段差エラーの大きさESに相当する。減算器16により算出された差分値は、補正回路17に与えられる。

**【0104】**

補正回路17は、メモリを内蔵する。この場合、補正回路17は、段差エラーの大きさESをメモリに記憶するとともに、段差エラーの大きさESに基づいて段差エラーの補正のための式または係数を算出し、メモリに記憶する。

**【0105】**

アナログーデジタル変換回路1のA/D変換動作時に、補正回路17は、メモリに記憶された式または係数に基づいて、出力回路8から出力されるデジタル出力値Doutを補



正し、補正されたデジタル出力値  $Dout_a$  を出力する。

【0106】

以上のように、本実施の形態に係るアナログーデジタル変換回路 1 では、段差エラーを検出できるとともに、検出された段差エラーが補正回路 17 により補正される。その結果、段差エラーを有さないデジタル出力値  $Dout_a$  を出力することが可能となる。

【0107】

また、本実施の形態に係るアナログーデジタル変換回路 1 では、段差エラーを補正するためにチューニング設計のような調整を行う必要がないため、開発コストを低減することができる。

【0108】

さらに、本実施の形態に係るアナログーデジタル変換回路 1 では、差分増幅回路 14 に供給される電源電圧が変動した場合でも、容易に段差エラーを検出および補正することができるので、入出力特性の劣化を容易に防止することができる。

【0109】

本実施の形態においては、1 段目の回路 3、2 段目の回路 4、3 段目の回路 5 および 4 段目の回路 6 が複数段の回路に相当し、アナログーデジタル変換回路 1 がアナログーデジタル変換回路に相当し、サブ A/D コンバータ 9a、9 がアナログーデジタル変換器に相当し、サブ D/A コンバータ 10 がデジタルーアナログ変換器に相当し、コンパレータ 900~915 が比較器に相当し、演算増幅器 11 が演算増幅器に相当し、基準電圧  $V_{refa}$  が基準電圧に相当し、アナログ入力信号  $V_{in}$  がアナログ信号に相当し、スイッチ  $SW_{31}$ 、 $SW_{32}$  が第 1 のスイッチに相当し、“0” が第 1 の論理値に相当し、“1” が第 2 の論理値に相当し、外部入力信号  $CDS_a$  “0” が第 1 の論理値を有する第 1 の信号に相当し、外部入力信号  $CDS_a$  “1” が第 2 の論理値を有する第 2 の信号に相当し、段差エラー検出制御回路 30 が信号生成回路に相当し、正規レンジ OR が正規レンジに相当し、冗長レンジ  $eR_1$ 、 $eR_2$  が冗長レンジに相当し、減算器 16 が減算器に相当し、補正回路 17 が補正回路に相当する。

【0110】

(第 2 の実施の形態)

図 5 は、本発明の第 2 の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。図 5 のアナログーデジタル変換回路 1a の構成が、図 1 のアナログーデジタル変換回路 1 の構成と異なるのは、以下の点である。

【0111】

図 5 において、1 段目の回路 3 には、段差エラー検出制御回路 30 の代わりに段差エラー検出制御回路 30b が設けられ、段差エラー検出制御回路 30b によりオンおよびオフが制御されるスイッチ  $SW_{31}$ 、 $SW_{32}$ 、 $SW_{33}$  が設けられる。また、スイッチ  $SW_{31}$  の一端には、後述する基準電圧  $V_{refa}$  が印加され、スイッチ  $SW_{33}$  の一端には、後述する基準電圧  $V_{refb}$  が印加される。さらに、図 1 の 1 段目の回路 3 のサブ A/D コンバータ 9a の代わりにサブ A/D コンバータ 9b が設けられる。

【0112】

通常のア/D変換動作時においては、段差エラー検出制御回路 30b は、スイッチ  $SW_{31}$ 、 $SW_{33}$  をオフにし、スイッチ  $SW_{32}$  をオンにする。それにより、アナログ入力信号  $V_{in}$  が 1 段目の回路 3 の差分増幅回路 14 およびサブ A/D コンバータ 9b へ転送される。

【0113】

次に、図 6 は、図 5 のアナログーデジタル変換回路 1a の入出力特性を示す図である。図 6 の横軸はアナログ入力信号  $V_{in}$  を示し、縦軸はデジタル出力値  $Dout$  を示す。

【0114】

図 6 の破線  $Tr$  はアナログーデジタル変換回路 1a の理想的な入出力特性を示し、実線  $Er$  はアナログーデジタル変換回路 1 の演算増幅器 11 がゲインエラーを有する場合の入

出力特性を示す。

【0115】

理想的には、破線  $T_r$  で示されるようにデジタル出力値  $Dout$  がアナログ入力信号  $V_{in}$  に対して一定の比例関係を有することが望ましい。しかし、演算増幅器 11 が入力電圧により異なるゲインエラーを有する場合、アナログーデジタル変換回路 1 の入出力特性には、実線  $E_r$  で示されるようにそれぞれ大きさの異なる段差が現れる。本実施の形態においては、アナログ入力信号  $V_{in}$  が基準電圧  $V_{refa}$  となる  $\alpha$  部における段差エラーの大きさ  $ES$  とアナログ入力信号  $V_{in}$  が基準電圧  $V_{refb}$  となる  $\beta$  部における段差エラーの大きさ  $ES1$  とが異なる。

【0116】

段差エラー検出時には、段差エラー検出制御回路 30b がスイッチ  $SW31$  をオンし、スイッチ  $SW32$ 、 $SW33$  をオフする。それにより、基準電圧  $V_{refa}$  が 1 段目の回路 3 の差分増幅回路 14 およびサブ A/D コンバータ 9b に印加される。また、段差エラー検出制御回路 30b は、後述するサブ A/D コンバータ 9b のモード切替回路に外部入力信号 ( $CDSa$ ) およびテストモード信号 ( $MD1$ ) を与える。

【0117】

続いて、段差エラー検出制御回路 30b はスイッチ  $SW33$  をオンし、スイッチ  $SW31$ 、 $SW32$  をオフする。それにより、基準電圧  $V_{refb}$  が 1 段目の回路 3 の差分増幅回路 14 およびサブ A/D コンバータ 9b に印加される。また、段差エラー検出制御回路 30b は、後述するサブ A/D コンバータ 9b のモード切替回路に外部入力信号 ( $CDSb$ ) およびテストモード信号 ( $MD2$ ) を与える。

【0118】

次に、サブ A/D コンバータ 9b の構成について説明する。図 7 は、サブ A/D コンバータ 9b の内部構成を示す回路図である。

【0119】

図 7 のサブ A/D コンバータ 9b が図 4 のサブ A/D コンバータ 9a と異なるのは次の点である。図 7 のサブ A/D コンバータ 9b は、図 4 のサブ A/D コンバータ 9a に加えてモード切替回路 92 をさらに含む。

【0120】

本実施の形態においては、コンパレータ 914 に与えられる基準電圧  $V_{refb}$  が図 5 のスイッチ  $SW33$  に与えられる。

【0121】

図 7 のモード切替回路 91 は、図 4 のモード切替回路 91 と同じ構成を有する。一方、図 7 のモード切替回路 92 は、CMOS スイッチ  $SW55$ 、CMOS スイッチ  $SW65$  およびインバータ 75 から構成される。

【0122】

CMOS スイッチ  $SW55$  は、PMOSFET 56 および NMOSFET 57 から構成され、CMOS スイッチ  $SW65$  は、PMOSFET 66 および NMOSFET 67 から構成される。

【0123】

段差エラー検出制御回路 30b は、テストモード信号  $MD1$  を出力する端子  $IT1$ 、テストモード信号  $MD2$  を出力する端子  $IT2$ 、外部入力信号  $CDSa$  を出力する端子  $IT2$  および外部入力信号  $CDSb$  を出力する端子  $IT4$  を有する。

【0124】

CMOS スイッチ  $SW55$  は、段差エラー検出制御回路 30b の出力端子  $IT4$  とノード  $N2$  との間に接続されている。CMOS スイッチ  $SW65$  は、コンパレータ 914 の出力端子とノード  $N2$  との間に接続されている。

【0125】

PMOSFET 56 のゲートおよび NMOSFET 67 のゲートには、段差エラー検出制御回路 30b の端子  $IT3$  のテストモード信号  $MD2$  が与えられ、PMOSFET のゲ

ート 66 および NMOSFET 57 のゲートには、インバータ 75 を介してテストモード信号 MD2 の反転信号が与えられる。

【0126】

通常の A/D 変換動作時には、段差エラー検出制御回路 30b の端子 IT1 のテストモード信号 MD1 および端子 IT1 のテストモード信号 MD2 が “1” となる。それにより、CMOS スイッチ SW51, SW55 がオフし、CMOS スイッチ SW61, SW65 がオンする。その結果、コンパレータ 901 の出力信号がノード N1 から出力信号 CDS1 として出力され、コンパレータ 914 の出力信号がノード N2 から出力信号 CDS14 として出力される。

【0127】

段差エラー検出時には、まず、段差エラー検出制御回路 30b の端子 IT1 のテストモード信号 MD1 が “0” となり、端子 IT3 のテストモード信号 MD2 が “1” となる。それにより、CMOS スイッチ SW51, SW65 がオンし、CMOS スイッチ SW55, SW61 がオフする。その結果、段差エラー検出制御回路 30b の端子 IT2 の外部入力信号 CDSa がノード N1 から出力信号 CDS1 として出力される。

【0128】

エンコーダ 920 は、各コンパレータ 900, 902 ~ 915 の出力信号 CDS0, CDS2 ~ CDS15 およびモード切替回路 91 の出力信号 CDS1 に基づいて、上位 4 ビットのデジタル信号 D9, D8, D7, D6 を生成する。

【0129】

続いて、段差エラー検出制御回路 30b の端子 IT1 のテストモード信号 MD1 が “1” となり、端子 IT3 のテストモード信号 MD2 が “0” となる。それにより、CMOS スイッチ SW55, SW61 がオンし、CMOS スイッチ SW51, SW65 がオフする。その結果、段差エラー検出制御回路 30b の端子 IT4 の外部入力信号 CDSb がノード N2 から出力信号 CDS14 として出力される。

【0130】

エンコーダ 920 は、各コンパレータ 900 ~ 913, 915 の出力信号 CDS0 ~ CDS13, CDS15 およびモード切替回路 92 の出力信号 CDS14 に基づいて、上位 4 ビットのデジタル信号 D9, D8, D7, D6 を生成する。

【0131】

ここで、段差エラー検出時のアナログ-デジタル変換回路 1a の動作について説明する。例えば、アナログ-デジタル変換回路 1a の A/D 変換動作前に段差エラー検出を行う。

【0132】

この場合、上記のように、最初に、テストモード信号 MD1 が “0” に設定され、テストモード信号 MD2 が “1” に設定される。

【0133】

まず、段差エラー検出制御回路 30b は、外部入力信号 CDSa を “0” に設定する。このときのデジタル出力値 D<sub>out</sub> が図 5 のメモリ 15 に記憶される。次に、段差エラー検出制御回路 30b は、外部入力信号 CDSa を “1” に設定する。このときのデジタル出力値 D<sub>out</sub> が減算器 16 に与えられる。減算器 16 は、外部入力信号 CDSa が “1” のときのデジタル出力値 D<sub>out</sub> とメモリ 15 に記憶されたデジタル出力値 D<sub>out</sub> との差分値を算出する。減算器 16 により算出された差分値が図 6 の段差エラーの大きさ E<sub>S</sub> に相当する。減算器 16 により算出された差分値は、補正回路 17 に与えられる。

【0134】

続いて、テストモード信号 MD1 が “1” に設定され、テストモード信号 MD2 が “0” に設定される。

【0135】

まず、段差エラー検出制御回路 30b は、外部入力信号 CDSb を “0” に設定する。このときのデジタル出力値 D<sub>out</sub> が図 5 のメモリ 15 に記憶される。次に、段差エラー

検出制御回路 30b は、外部入力信号 CDSb を “1” に設定する。このときのデジタル出力値 Dout が減算器 16 に与えられる。減算器 16 は、外部入力信号 CDSb が “1” のときのデジタル出力値 Dout とメモリ 15 に記憶されたデジタル出力値 Dout との差分値を算出する。減算器 16 により算出された差分値が図 6 の段差エラーの大きさ ES1 に相当する。減算器 16 により算出された差分値は、補正回路 17 に与えられる。

#### 【0136】

補正回路 17 は、段差エラーの大きさ ES, ES1 をメモリに記憶するとともに、段差エラーの大きさ ES, ES1 に基づいて段差エラーの補正のための式または係数を算出し、メモリに記憶する。

#### 【0137】

アナログ-デジタル変換回路 1a の A/D 変換動作時に、補正回路 17 は、メモリに記憶された式または係数に基づいて、出力回路 8 から出力されるデジタル出力値 Dout を補正し、補正されたデジタル出力値 Douta を出力する。

#### 【0138】

以上のように、本実施の形態に係るアナログ-デジタル変換回路 1a では、大きさの異なる段差を有する段差エラーを検出できるとともに、検出された段差エラーが補正回路 17 により補正される。その結果、段差エラーを有さないデジタル出力値 Douta を出力することが可能となる。

#### 【0139】

また、本実施の形態に係るアナログ-デジタル変換回路 1a では、段差エラーを補正するためにチューニング設計のような調整を行う必要がないため、開発コストを低減することができる。

#### 【0140】

さらに、本実施の形態に係るアナログ-デジタル変換回路 1a では、差分増幅回路 14 に供給される電源電圧が変動した場合でも、容易に段差エラーを検出および補正することができるので、入出力特性の劣化を容易に防止することができる。

#### 【0141】

第 2 の実施の形態においては、1 段目の回路 3、2 段目の回路 4、3 段目の回路 5 および 4 段目の回路 6 が複数段の回路に相当し、アナログ-デジタル変換回路 1a がアナログ-デジタル変換回路に相当し、サブ A/D コンバータ 9b, 9 がアナログ-デジタル変換器に相当し、サブ D/A コンバータ 10 がデジタル-アナログ変換器に相当し、コンパレータ 900~915 が比較器に相当し、演算増幅器 11 が演算増幅器に相当し、基準電圧 Vrefa, Vrefb が基準電圧に相当し、アナログ入力信号 Vin がアナログ信号に相当し、スイッチ SW31, SW32, SW33 が第 1 のスイッチに相当し、段差エラー検出制御回路 30b が信号生成回路に相当し、正規レンジ OR が正規レンジに相当し、冗長レンジ eR1, eR2 が冗長レンジに相当し、減算器 16 が減算器に相当し、補正回路 17 が補正回路に相当する。

#### 【0142】

(第 3 の実施の形態)

図 8 は、本発明の第 3 の実施の形態に係る多段パイプライン構成を有するアナログ-デジタル変換回路の構成を示すブロック図である。図 8 のアナログ-デジタル変換回路 1b の構成が、図 1 のアナログ-デジタル変換回路 1 の構成と異なるのは、以下の点である。

#### 【0143】

図 8 において、段差エラー検出制御回路 30 の代わりに段差エラー検出制御回路 30c が設けられる。1 段目の回路 3 には、段差エラー検出制御回路 30c によりオンおよびオフが制御されるスイッチ SW31, SW32 が設けられる。2 段目の回路 4 には、段差エラー検出制御回路 30c によりオンおよびオフが制御されるスイッチ SW41, SW42 が設けられ、3 段目の回路 5 には、段差エラー検出制御回路 30c によりオンおよびオフが制御されるスイッチ SW51, SW52 が設けられる。

#### 【0144】

また、スイッチ SW31 の一端には、基準電圧  $V_{refa}$  が印加され、スイッチ SW41 の一端には、基準電圧  $V_{refc}$  が印加され、スイッチ SW51 の一端には、基準電圧  $V_{refd}$  が印加される。

【0145】

さらに、図1の2段目の回路4および3段目の回路5のサブA/Dコンバータ9の代わりにサブA/Dコンバータ9cが設けられる。

【0146】

通常のA/D変換動作時においては、段差エラー検出制御回路30cは、スイッチ SW31, SW41, SW51 をオフし、スイッチ SW32, SW42, SW52 をオンにする。それにより、アナログ入力信号  $V_{in}$  が、1段目の回路3の差分増幅回路14およびサブA/Dコンバータ9aに転送される。1段目の回路3から出力されるアナログ入力信号  $V_{in1}$  が2段目の回路4の差分増幅回路14およびサブA/Dコンバータ9cに転送され、2段目の回路4から出力されるアナログ入力信号  $V_{in2}$  が3段目の回路5の差分増幅回路14およびサブA/Dコンバータ9cに転送される。

【0147】

次に、図9は、図8のアナログーデジタル変換回路1bの入出力特性を示す図である。図9の横軸はアナログ入力信号  $V_{in}$  を示し、縦軸はデジタル出力値  $D_{out}$  を示す。

【0148】

図9の破線  $T_r$  はアナログーデジタル変換回路1bの理想的な入出力特性の一部を示し、実線  $E_r$  はアナログーデジタル変換回路1bの1段目の回路3の演算増幅器11がゲインエラーを有する場合の入出力特性を示し、実線  $E_{r1}$  はアナログーデジタル変換回路1bの1段目の回路3および2段目の回路4の演算増幅器11がゲインエラーを有する場合の入出力特性を示し、実線  $E_{r2}$  はアナログーデジタル変換回路1bの1段目の回路3、2段目の回路4および3段目の回路5の演算増幅器11がゲインエラーを有する場合の入出力特性を示す。

【0149】

本実施の形態においては、1段目の回路3の演算増幅器11による段差エラーの大きさ  $ES$ 、1段目の回路3および2段目の回路4の演算増幅器11による段差エラーの大きさ  $ES2$ 、1段目の回路3、2段目の回路4および3段目の回路5の演算増幅器11による段差エラーの大きさ  $ES3$  がそれぞれ検出される。

【0150】

段差エラー検出時には、段差エラー検出制御回路30cがスイッチ SW31, SW42, SW52 をオンし、スイッチ SW32, SW41, SW51 をオフする。それにより、基準電圧  $V_{refa}$  が1段目の回路3の差分増幅回路14およびサブA/Dコンバータ9aに印加される。また、段差エラー検出制御回路30cは、図4に示した1段目の回路3のサブA/Dコンバータ9aのモード切替回路91に外部入力信号  $CDSa$  およびテストモード信号  $MD1$  を与える。

【0151】

次に、段差エラー検出制御回路30cはスイッチ SW41 をオンし、スイッチ SW42 をオフする。それにより、基準電圧  $V_{refc}$  が2段目の回路4の差分増幅回路14およびサブA/Dコンバータ9cに印加される。また、段差エラー検出制御回路30cは、後述する2段目の回路4のサブA/Dコンバータ9cのモード切替回路に外部入力信号  $CDSa$  およびテストモード信号  $MD1$  を与える。

【0152】

続いて、段差エラー検出制御回路30cはスイッチ SW51 をオンし、スイッチ SW52 をオフする。それにより、基準電圧  $V_{refd}$  が3段目の回路5の差分増幅回路14およびサブA/Dコンバータ9cに印加される。また、段差エラー検出制御回路30cは、後述する3段目の回路5のサブA/Dコンバータ9cのモード切替回路に外部入力信号  $CDSa$  およびテストモード信号  $MD1$  を与える。

【0153】

図8の1段目の回路3のサブA/Dコンバータ9aは、図4のサブA/Dコンバータ9aの構成と同じである。

【0154】

次に、2段目の回路4のサブA/Dコンバータ9cの構成について説明する。図10は、サブA/Dコンバータ9cの内部構成を示す回路図である。図10の2段目の回路4のサブA/Dコンバータ9cが図4のサブA/Dコンバータ9aと異なるのは次の点である。

【0155】

図10のサブA/Dコンバータ9cは、図4の基準抵抗R0～R15の代わりに基準抵抗R0～R7を含み、図4のコンパレータ900～915の代わりにコンパレータ900～907を含む。

【0156】

サブA/Dコンバータ9cの複数の基準抵抗R0～R7により基準電圧VRT1と基準電圧VRB1との間の電位差が分割され、複数の基準電圧が生成される。基準抵抗R2と基準抵抗R3との間のノードには基準電圧Vrefcが生成される。

【0157】

また、サブA/Dコンバータ9cにおいては、正規レンジの上下に冗長レンジが設けられており、コンパレータ900, 901, 906, 907の出力信号Res0, Res1, Res6, Res7が冗長エンコーダ921に与えられる。

【0158】

冗長エンコーダ921は、出力信号Res0, Res1, Res6, Res7に基づいて冗長レンジ判定信号RE0, RE1を生成する。

【0159】

コンパレータ902～905は、それぞれ対応する基準電圧を1段目の回路3から出力されるアナログ入力信号Vin1と比較する。上記のように、本実施の形態においては、コンパレータ903に与えられる基準電圧Vrefcが図8のスイッチSW41に与えられる。

【0160】

図10のモード切替回路91は、図4のモード切替回路91と同じ構成を有する。

【0161】

段差エラー検出制御回路30cは、テストモード信号MD1を出力する端子IT1および外部入力信号CDSaを出力する端子IT2を有する。

【0162】

通常のA/D変換動作時には、段差エラー検出制御回路30cの端子IT1のテストモード信号MD1が“1”となる。それにより、CMOSスイッチSW51がオフし、CMOSスイッチSW61がオンする。その結果、コンパレータ903の出力信号がノードN1から出力信号CDS1として出力される。

【0163】

段差エラー検出時には、段差エラー検出制御回路30cの端子IT1のテストモード信号MD1が“0”となる。それにより、CMOSスイッチSW51がオンし、CMOSスイッチSW61がオフする。その結果、段差エラー検出制御回路30cの端子IT2の外部入力信号CDSaがノードN1から出力信号CDS1として出力される。

【0164】

エンコーダ920は、各コンパレータ902, 904, 905の出力信号CDS0, CDS2, CDS3およびモード切替回路91の出力信号CDS1に基づいて、中上位2ビットのデジタル信号D5, D4を生成する。

【0165】

まず、段差エラー検出制御回路30cは、外部入力信号CDSaを“0”に設定する。このときのデジタル出力値Doutが図8のメモリ15に記憶される。

【0166】

次に、段差エラー検出制御回路 30c は、外部入力信号 CDSa を“1”に設定する。このときのデジタル出力値 Dout が減算器 16 に与えられる。減算器 16 は、外部入力信号 CDSa が“1”のときのデジタル出力値 Dout とメモリ 15 に記憶されたデジタル出力値 Dout との差分値を算出する。減算器 16 により算出された差分値が図 9 の段差エラーの大きさ ES2 に相当する。減算器 16 により算出された差分値は、補正回路 17 に与えられる。

【0167】

3 段目の回路 5 のサブ A/D コンバータ 9c の構成および動作は、図 10 に示す 2 段目の回路 4 のサブ A/D コンバータ 9c の構成および動作と同じである。

【0168】

3 段目の回路 5 のサブ A/D コンバータ 9c では基準抵抗 R2 と基準抵抗 R3 との間のノードには基準電圧 Vrefd が生成される。

【0169】

コンパレータ 902 ~ 905 は、それぞれ対応する基準電圧を 2 段目の回路 4 から出力されるアナログ入力信号 Vin2 と比較する。上記のように、本実施の形態においては、コンパレータ 903 に与えられる基準電圧 Vrefd が図 8 のスイッチ SW51 に与えられる。

【0170】

3 段目の回路 5 のサブ A/D コンバータ 9c のエンコーダ 920 は、各コンパレータ 902, 904, 905 の出力信号 CDS0, CDS2, CDS3 およびモード切替回路 91 の出力信号 CDS1 に基づいて、中下位 2 ビットのデジタル信号 D3, D2 を生成する。

【0171】

まず、段差エラー検出制御回路 30c は、3 段目の回路 5 のサブ A/D コンバータ 9c に与える外部入力信号 CDSa を“0”に設定する。このときのデジタル出力値 Dout が図 8 のメモリ 15 に記憶される。

【0172】

次に、段差エラー検出制御回路 30c は、3 段目の回路 5 のサブ A/D コンバータ 9c に与える外部入力信号 CDSa を“1”に設定する。このときのデジタル出力値 Dout が減算器 16 に与えられる。減算器 16 は、外部入力信号 CDSa が“1”のときのデジタル出力値 Dout とメモリ 15 に記憶されたデジタル出力値 Dout との差分値を算出する。減算器 16 により算出された差分値が図 9 の段差エラーの大きさ ES3 に相当する。減算器 16 により算出された差分値は、補正回路 17 に与えられる。

【0173】

補正回路 17 は、段差エラーの大きさ ES, ES2, ES3 をメモリに記憶するとともに、段差エラーの大きさ ES, ES2, ES3 に基づいて段差エラーの補正のための式または係数を算出し、メモリに記憶する。

【0174】

アナログ-デジタル変換回路 1b の A/D 変換動作時に、補正回路 17 は、メモリに記憶された式または係数に基づいて、出力回路 8 から出力されるデジタル出力値 Dout を補正し、補正されたデジタル出力値 Douta を出力する。

【0175】

以上のように、本実施の形態に係るアナログ-デジタル変換回路 1b では、2 段目の回路 3 および 3 段目の回路 4 の演算増幅器 14 による段差エラーを検出できるとともに、検出された段差エラーが補正回路 17 により補正される。その結果、段差エラーを有さないデジタル出力値 Douta を出力することが可能となる。

【0176】

また、本実施の形態に係るアナログ-デジタル変換回路 1b では、段差エラーを補正するためにチューニング設計のような調整を行う必要がないため、開発コストを低減することができる。

## 【0177】

さらに、本実施の形態に係るアナログーデジタル変換回路1bでは、差分増幅回路14に供給される電源電圧が変動した場合でも、容易に段差エラーを検出および補正することができるので、入出力特性の劣化を容易に防止することができる。

## 【0178】

第3の実施の形態においては、1段目の回路3、2段目の回路4、3段目の回路5および4段目の回路6が複数段の回路に相当し、アナログーデジタル変換回路1がアナログーデジタル変換回路に相当し、サブA/Dコンバータ9a、9cがアナログーデジタル変換器に相当し、サブD/Aコンバータ10がデジタルーアナログ変換器に相当し、コンパレータ900～907が比較器に相当し、演算増幅器11が演算増幅器に相当し、基準電圧Vrefa、Vrefc、Vrefdが基準電圧に相当し、アナログ入力信号Vin、Vin1、Vin2がアナログ信号に相当し、スイッチSW31、SW32、SW41、SW42、SW51、SW52が第1のスイッチに相当し、段差エラー検出制御回路30cが信号生成回路に相当し、正規レンジORが正規レンジに相当し、冗長レンジeR1、eR2が冗長レンジに相当し、減算器16が減算器に相当し、補正回路17が補正回路に相当する。

## 【0179】

(第4の実施の形態)

図11は、本発明の第4の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。図11のアナログーデジタル変換回路1cは、回路ST0、スイッチSW11、SW12、SW71、段差エラー検出制御回路30dおよび信号発生器40を含む。

## 【0180】

図11において、回路ST0は、演算増幅器50、サブA/Dコンバータ9a、サブD/Aコンバータ10、減算回路12および演算増幅器11を含む。減算回路12および演算増幅器11が差分増幅器14を構成する。

## 【0181】

回路ST0内の演算増幅器11の利得は2であり、演算増幅器50の利得は4である。また、回路ST0のサブA/Dコンバータ9aは4ビット構成である。

## 【0182】

信号発生器40は、クロック信号CLK1、CLK2および制御信号SWを発生する。クロック信号CLK1の周波数はFsであり、クロック信号CLK3の周波数はクロック信号CLK1の周波数Fsの3倍すなわち3Fsである。制御信号SWの周波数はクロック信号CLK1の周波数Fsと等しい。

## 【0183】

回路ST0内の演算増幅器50、サブA/Dコンバータ9a、サブD/Aコンバータ10および演算増幅器11は、クロック信号CLK3に応答して動作する。また、スイッチSW11、SW12は、制御信号SWに응答して相補的にオンおよびオフする。スイッチSW71は、段差エラー検出制御回路30dによりオンおよびオフが制御される。スイッチSW71の一端には、後述する基準電圧Vrefeが印加される。

## 【0184】

次に、図11のアナログーデジタル変換回路1cの動作を説明する。

## 【0185】

通常のA/D変換動作時においては、段差エラー検出制御回路30dは、スイッチSW71をオフにする。それにより、アナログ入力信号Vinが、スイッチSW11のオン時に回路ST0内の演算増幅器50およびサブA/Dコンバータ9aへ転送される。

## 【0186】

サブA/Dコンバータ9aは、アナログ入力信号Vinに対してA/D変換を行い、A/D変換結果である上位4ビットのデジタル信号D9～D6を出力するとともにそのデジタル信号をサブD/Aコンバータ10に与える。サブD/Aコンバータ10は、サブA/D



Dコンバータ9aから与えられる4ビットのデジタル信号に対してD/A変換を行い、アナログ信号を出力する。

【0187】

一方、演算増幅器50は、入力ノードNIのアナログ入力信号Vinをサンプリングおよび増幅して出力する。減算回路12は、演算増幅器50から出力されたアナログ入力信号VinとサブD/Aコンバータ10から出力されたアナログ信号とを減算する。演算増幅器11は、減算回路12の出力信号を増幅してアナログ信号を出力する。演算増幅器11から出力されるアナログ信号は、スイッチSW12のオン時に入力ノードNIに与えられる。この動作を繰り返すことにより、サブA/Dコンバータ9aから中位3ビットD5～D3と、下位3ビットD2～D0とが得られる。これにより、サブA/Dコンバータ9aは、アナログ入力信号Vinに対応する10ビットのデジタル出力値Doutを出力する。

【0188】

次に、図11のアナログーデジタル変換回路1cの通常のA/D変換動作時について説明する。図12は図11のアナログーデジタル変換回路1cの通常のA/D変換動作時を説明するためのタイミングチャートである。

【0189】

図12において、AMPは増幅動作を示し、AZはオートゼロ動作を示し、SMPはサンプリング動作を示す。

【0190】

期間T1～T2では、制御信号SWがハイレベルになる。それにより、スイッチSW11がオンし、スイッチSW12がオフする。したがって、入力端子Inに与えられるアナログ入力信号VinがスイッチSW11を介して入力ノードNIに転送される。

【0191】

まず、期間T1では、クロック信号CLK3がハイレベルになる。それにより、回路ST0内の演算増幅器50がオートゼロ動作およびサンプリング動作を行い、サブA/Dコンバータ9aがオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器11は増幅動作を行い、サブD/Aコンバータ10の出力は不定となっている。

【0192】

次に、期間T2では、クロック信号CLK3がローレベルになる。それにより、回路ST0内の演算増幅器50が増幅動作を行い、サブA/Dコンバータ9aがA/D変換動作を行う。この場合、サブA/Dコンバータ9aから上位4ビットのデジタル信号D9～D6が出力される。

【0193】

期間T3～T6では、制御信号SWがローレベルになる。それにより、スイッチSW11がオフし、スイッチSW12がオンする。したがって、演算増幅器11から出力ノードNOに出力されるアナログ信号がスイッチSW12を介して入力ノードNIに与えられる。

【0194】

まず、期間T3では、クロック信号CLK3がハイレベルになる。それにより、回路ST0内の演算増幅器50がオートゼロ動作およびサンプリング動作を行い、サブA/Dコンバータ9aがオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器11は増幅動作を行い、サブD/Aコンバータ10はD/A変換動作を行う。その結果、演算増幅器11から出力ノードNOに出力されるアナログ信号がスイッチSW12を介して入力ノードNIに与えられる。

【0195】

次に、期間T4では、クロック信号CLK3がローレベルになる。それにより、回路ST0内の演算増幅器50が増幅動作を行い、サブA/Dコンバータ9aがA/D変換動作を行う。この場合、サブA/Dコンバータ9aから中位3ビットのデジタル信号D5～D3および冗長1ビットが出力される。このとき、演算増幅器11はオートゼロ動作および

サンプリング動作を行い、サブD/Aコンバータ10の出力は不定となっている。

・ 【0196】

さらに、期間T5では、クロック信号CLK3がハイレベルになる。それにより、回路ST0内の演算増幅器50がオートゼロ動作およびサンプリング動作を行い、サブA/Dコンバータ9aがオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器11は増幅動作を行い、サブD/Aコンバータ10はD/A変換動作を行う。その結果、演算増幅器11から出力ノードNOに出力されるアナログ信号がスイッチSW12を介して入力ノードNIに与えられる。

・ 【0197】

続いて、期間T6では、クロック信号CLK3がローレベルになる。それにより、回路ST0内の演算増幅器50が増幅動作を行い、サブA/Dコンバータ9aがA/D変換動作を行う。この場合、サブA/Dコンバータ9aから下位3ビットのデジタル信号D2～D0および冗長1ビットが出力される。このとき、演算増幅器11はオートゼロ動作およびサンプリング動作を行い、サブD/Aコンバータ10の出力は不定となっている。

・ 【0198】

次に、図13は図11のアナログーデジタル変換回路1cの段差エラー検出時の動作を説明するためのタイミングチャートである。

・ 【0199】

図13において、AMPは増幅動作を示し、AZはオートゼロ動作を示し、SMPはサンプリング動作を示す。段差エラー検出時には、段差エラー検出制御回路30dがテストモード信号MD1を“0”に設定する。

・ 【0200】

期間T1～T2では、段差エラー検出制御回路30dがスイッチSW71をオンにする。また、スイッチSW11、SW12はオフにされる。それにより、基準電圧VrefeがスイッチSW71を介して入力ノードNIに与えられる。

・ 【0201】

この場合、段差エラー検出制御回路30dは外部入力信号CDSaを“0”に設定する。それにより、図4に示したように、外部入力信CDSaがノードN1から出力信号CDS1として出力される。それにより、サブA/Dコンバータ9aから上位4ビットのデジタル信号D9～D6が出力される。

・ 【0202】

期間T3～T6では、スイッチSW11、SW71がオフにされ、スイッチSW12がオンにされる。したがって、演算増幅器12から出力ノードNOに出力されるアナログ信号がスイッチSW12を介して入力ノードNIに与えられる。

・ 【0203】

それにより、サブA/Dコンバータ9aから中位3ビットのデジタル信号D5～D3および冗長1ビットが出力される。続いて、サブA/Dコンバータ9aから下位3ビットのデジタル信号D2～D0および冗長1ビットが出力される。このときのデジタル出力値Doutが図11のメモリ15に記憶される。

・ 【0204】

期間T7～T8では、段差エラー検出制御回路30dがスイッチSW71をオンにする。また、スイッチSW11、SW12はオフにされる。それにより、基準電圧VrefeがスイッチSW71を介して入力ノードNIに与えられる。

・ 【0205】

この場合、段差エラー検出制御回路30dは外部入力信号CDSaを“1”に設定する。それにより、図4に示したように、外部入力信CDSaがノードN1から出力信号CDS1として出力される。それにより、サブA/Dコンバータ9aから上位4ビットのデジタル信号D9～D6が出力される。

・ 【0206】

期間T9～T12では、スイッチSW11、SW71がオフにされ、スイッチSW12

がオンにされる。したがって、演算増幅器 12 から出力ノード NO に出力されるアナログ信号がスイッチ SW 12 を介して入力ノード NI に与えられる。

【0207】

それにより、サブ A/D コンバータ 9a から中位 3 ビットのデジタル信号 D5～D3 および冗長 1 ビットが出力される。続いて、サブ A/D コンバータ 9a から下位 3 ビットのデジタル信号 D2～D0 および冗長 1 ビットが出力される。

【0208】

このときのデジタル出力値 D<sub>out</sub> が減算器 16 に与えられる。減算器 16 は、外部入力信号 CDSa が“1”のときのデジタル出力値 D<sub>out</sub> とメモリ 15 に記憶されたデジタル出力値 D<sub>out</sub> との差分値を算出する。減算器 16 により算出された差分値が段差エラーの大きさ ES に相当する。減算器 16 により算出された差分値は、補正回路 17 に与えられる。

【0209】

補正回路 17 は、段差エラーの大きさ ES をメモリに記憶するとともに、段差エラーの大きさ ES に基づいて段差エラーの補正のための式または係数を算出し、メモリに記憶する。

【0210】

アナログーデジタル変換回路 1c の A/D 変換動作時に、補正回路 17 は、メモリに記憶された式または係数に基づいて、サブ A/D コンバータ 9a から出力されるデジタル出力値 D<sub>out</sub> を補正し、補正されたデジタル出力値 D<sub>outa</sub> を出力する。

【0211】

以上のように、本実施の形態に係るアナログーデジタル変換回路 1c では、段差エラーを検出できるとともに、検出された段差エラーが補正回路 17 により補正される。その結果、段差エラーを有さないデジタル出力値 D<sub>outa</sub> を出力することが可能となる。

【0212】

また、本実施の形態に係るアナログーデジタル変換回路 1c では、段差エラーを補正するためにチューニング設計のような調整を行う必要がないため、開発コストを低減することができる。

【0213】

さらに、本実施の形態に係るアナログーデジタル変換回路 1c では、差分増幅回路 14 に供給される電源電圧が変動した場合でも、容易に段差エラーを検出および補正することができるので、入出力特性の劣化を容易に防止することができる。

【0214】

また、本実施の形態に係るアナログーデジタル変換回路 1c においては、1 段の回路 ST0 から上位 4 ビットのデジタル信号 D9～D6、中位 3 ビットのデジタル信号 D5～D3 および下位 3 ビットのデジタル信号 D2～D0 が順次出力される。このようにして、1 段の回路 ST0 により 10 ビットの 3 段パイプライン構成が実現される。したがって、省面積化が実現される。

【0215】

さらに、上記実施の形態では、回路 ST0 において、2 段の演算増幅器 11, 50 が設けられているが、回路に 1 段の演算増幅器または 3 段以上の演算増幅器を設けてもよい。

【0216】

第 4 の実施の形態においては、入力ノード NI および出力ノード NO が第 1 および第 2 のノードに相当し、アナログーデジタル変換回路 1c が第 1 の回路に相当し、サブ A/D コンバータ 9a がアナログーデジタル変換器に相当し、サブ D/A コンバータ 10 がデジタルーアナログ変換器に相当し、スイッチ SW 11, SW 12 が切替器に相当し、コンパレータ 900～915 が比較器に相当し、演算増幅器 11 が演算増幅器に相当し、基準電圧 V<sub>refe</sub> が基準電圧に相当し、アナログ入力信号 V<sub>in</sub> がアナログ信号に相当し、スイッチ SW 71 が第 1 のスイッチに相当し、段差エラー検出制御回路 30d が信号生成回

路に相当し、モード切替回路 91 が第 2 のスイッチに相当し、正規レンジ OR が正規レンジに相当し、冗長レンジ e R 1, e R 2 が冗長レンジに相当し、減算器 16 が減算器に相当し、補正回路 17 が補正回路に相当する。

#### 【0217】

(第 5 の実施の形態)

図 14 は、本発明の第 5 の実施の形態に係る多段パイプライン構成を有するアナログ—デジタル変換回路の構成を示すブロック図である。図 14 のアナログ—デジタル変換回路 1d の構成が、図 1 のアナログ—デジタル変換回路 1 の構成と異なるのは、以下の点である。

#### 【0218】

図 14 において、1 段目の回路 3 には、調整ユニット 27 がさらに設けられ、サブ D/A コンバータ 10 の代わりにサブ D/A コンバータ 10a が設けられている。調整ユニット 27 は、コンパレータ 25、サンプルホールド回路 26 およびモード切替回路 91 を含む。スイッチ SW31 の一端には、後述する基準電圧  $V_{ref}$  が印加される。なお、モード切替回路 91 は図 4 のサブ A/D コンバータ 9a のモード切替回路 91 と同じ構成を有する。

#### 【0219】

調整ユニット 27 のサンプルホールド回路 26 は、2 倍の増幅率を有する演算増幅器および演算増幅器に与えられる基準電圧を調整する調整回路を含む。また、サブ D/A コンバータ 10a は、図 1 のサブ D/A コンバータ 10 の構成に加えて、サンプルホールド回路 26 における基準電圧の調整に基づいて出力電圧を調整する調整回路を含む。

#### 【0220】

図 15 は調整ユニット 27 の動作を説明するための模式図である。図 15 (a) の左側の軸はアナログ入力信号  $V_{in}$  の電圧レンジを示し、右側はコンパレータ 25 による比較結果を示す。また、図 15 (b), (c) の左側の軸はアナログ—デジタル変換回路 1d へ入力可能なアナログ入力信号  $V_{in}$  の電圧レンジを示し、中央の軸はサンプルホールド回路 26 の演算増幅器の入力電圧を示し、右側の軸はサンプルホールド回路 26 の演算増幅器の出力電圧を示す。図 15 において、 $V_{RT}$  は第 1 基準電圧であり、 $V_{RB}$  は第 2 基準電圧である。また、コンパレータ 25 には、基準電圧  $V_{ref}$  が与えられる。本実施の形態では、一例として第 2 基準電圧  $V_{RB}$  を 0 V として説明する。

#### 【0221】

図 15 (a) に示すように、コンパレータ 25 は、アナログ入力信号  $V_{in}$  を基準電圧  $V_{ref}$  と比較し、比較結果を示す判定信号  $C_{out}$  を出力する。

#### 【0222】

アナログ入力信号  $V_{in}$  が基準電圧  $V_{ref}$  以上の場合、コンパレータ 25 による判定信号  $C_{out}$  は“1 (H)”になる。この場合、サンプルホールド回路 26 の調整回路が演算増幅器の基準電圧を調整することにより、図 15 (b) に示すように、例えばアナログ入力信号  $V_{in}$  から  $V_{RT}/4$  を減算した電圧が演算増幅器に入力される。それにより、演算増幅器の入力電圧の範囲は  $V_{RT}/4$  から  $3V_{RT}/4$  に相当し、従来の半分となる。演算増幅器は、入力電圧を 2 倍に増幅して出力する。演算増幅器の出力電圧の範囲は 0 V から  $V_{RT}$  までとなる。

#### 【0223】

アナログ入力信号  $V_{in}$  が基準電圧  $V_{ref}$  よりも低い場合、コンパレータ 25 による判定信号  $C_{out}$  は“0 (L)”になる。この場合、サンプルホールド回路 26 の調整回路が演算増幅器の基準電圧を調整することにより、図 15 (c) に示すように、例えばアナログ入力信号  $V_{in}$  に  $V_{RT}/4$  を加算した電圧が演算増幅器に入力される。それにより、演算増幅器の入力電圧の範囲は  $V_{RT}/4$  から  $3V_{RT}/4$  に相当し、従来の半分となる。演算増幅器は、入力電圧を 2 倍に増幅して出力する。演算増幅器の出力電圧の範囲は 0 V から  $V_{RT}$  に相当し、従来の半分となる。

#### 【0224】

このように、サンプルホールド回路 26 の演算増幅器の入力電圧の範囲は  $V_{RT}/4$  から  $3V_{RT}/4$  までとなるので、演算増幅器の入力電圧の範囲が 0 V から  $V_{RT}$  までの場合に比べて、演算増幅器の出力電圧の範囲を小さくすることができる。それにより、アナログ入力信号  $V_{in}$  を従来より大きな範囲にしても、入力電圧と出力電圧との線形性を確保することができる。また、アナログ-デジタル変換回路 1d おける電圧を低減することができる、低消費電力化を図ることができる。

#### 【0225】

コンパレータ 25 による判定信号  $CP_{out}$  が “1 (H)” の場合には、サブ D/A コンバータ 10a 内の調整回路は、基準電圧  $V_{ref}$  に対応するデジタル値から  $V_{RT}$  に対応するデジタル値までの範囲が 0 V から  $V_{RT}$  までのアナログ電圧の範囲に変換されるように、サブ D/A コンバータ 10a 内の基準電圧を調整する。

#### 【0226】

コンパレータ 25 による判定信号  $CP_{out}$  が “0 (L)” の場合には、サブ D/A コンバータ 10a 内の調整回路が 0 V に対応するデジタル値から基準電圧  $V_{ref}$  に対応するデジタル値までの範囲が 0 V から  $V_{RT}$  までのアナログ電圧の範囲に変換されるように、サブ D/A コンバータ 10a 内の基準電圧を調整する。

#### 【0227】

図 16 は、図 14 のアナログ-デジタル変換回路 1d の入出力特性を示す図である。図 16 の横軸はアナログ入力信号  $V_{in}$  を示し、縦軸はデジタル出力値  $D_{out}$  を示す。

#### 【0228】

図 16 の破線  $T_r$  はアナログ-デジタル変換回路 1d の理想的な入出力特性を示し、実線  $E_r3$  はアナログ-デジタル変換回路 1d のサンプルホールド回路 26 の演算増幅器がゲインエラーを有する場合の入出力特性を示し、実線  $E_r4$  はアナログ-デジタル変換回路 1d の 1 段目の回路 3 の演算増幅器 11 がゲインエラーを有する場合の入出力特性を示す。

#### 【0229】

サンプルホールド回路 26 の演算増幅器がゲインエラーを有する場合には、アナログ入力信号  $V_{in}$  が基準電圧  $V_{ref}$  よりも低い領域とアナログ入力信号  $V_{in}$  が基準電圧  $V_{ref}$  以上の領域とでデジタル出力値  $D_{out}$  が不連続となる。サンプルホールド回路 26 の演算増幅器のゲインエラーによる段差エラーにおいて、アナログ入力信号  $V_{in}$  が基準電圧  $V_{ref}$  のときのデジタル出力値  $D_{out}$  の差を段差エラーの大きさ  $ES4$  と呼ぶ。

#### 【0230】

次に、調整ユニット 27 の構成について説明する。図 17 は、調整ユニット 27 の構成を示す回路図である。

#### 【0231】

段差エラー検出制御回路 30 とモード切替回路 91 との接続は、図 4 に示した接続と同様である。コンパレータ 25 の一方の入力端子にアナログ入力信号  $V_{in}$  が与えられ、他方の入力端子に基準電圧  $V_{ref}$  が与えられる。コンパレータ 25 の出力端子は、CMOS スイッチ  $SW61$  を通してノード  $N1$  に接続されている。

#### 【0232】

通常の A/D 変換動作時には、段差エラー検出制御回路 30 は、スイッチ  $SW31$  をオフにし、スイッチ  $SW32$  をオンにする。それにより、アナログ入力信号  $V_{in}$  が調整ユニット 27 およびサブ A/D コンバータ 9 に入力される。また、段差エラー検出制御回路 30 の端子  $IT1$  のテストモード信号  $MD1$  が “1” となる。それにより、CMOS スイッチ  $SW51$  がオフし、CMOS スイッチ  $SW61$  がオンする。その結果、コンパレータ 25 の出力信号がノード  $N1$  から判定出力  $CP_{out}$  としてサンプルホールド回路 26 およびサブ D/A コンバータ 10a に出力される。

#### 【0233】

段差エラー検出時には、段差エラー検出制御回路 30 は、スイッチ  $SW31$  をオンにし

、スイッチSW32をオフにする。それにより、基準電圧 $V_{ref}$ が調整ユニット27およびサブA/Dコンバータ9に入力される。また、段差エラー検出制御回路30の端子IT1のテストモード信号MD1が“0”となる。それにより、CMOSスイッチSW51がオンし、CMOSスイッチSW61がオフする。その結果、段差エラー検出制御回路30の端子IT2の外部入力信号CDSaがノードN1から判定出力CPoutとして出力される。

#### 【0234】

まず、段差エラー検出制御回路30は、外部入力信号CDSaを“0”に設定する。それにより、基準電圧 $V_{ref}$ に $VRT/4$ を加算した電圧がサンプルホールド回路26の演算増幅器に入力され、2倍に増幅される。このときのデジタル出力値Doutが図14のメモリ15に記憶される。

#### 【0235】

次に、段差エラー検出制御回路30は、外部入力信号CDSaを“1”に設定する。それにより、基準電圧 $V_{ref}$ から $VRT/4$ を減算した電圧がサンプルホールド回路26の演算増幅器に入力され、2倍に増幅される。このときのデジタル出力値Doutが減算器16に与えられる。

#### 【0236】

減算器16は、外部入力信号CDSaが“1”のときのデジタル出力値Doutとメモリ15に記憶されたデジタル出力値Doutとの差分値を算出する。減算器16により算出された差分値が図16の段差エラーの大きさES4に相当する。減算器16により算出された差分値は、補正回路17に与えられる。

#### 【0237】

補正回路17は、段差エラーの大きさES4をメモリに記憶するとともに、段差エラーの大きさES4に基づいて段差エラーの補正のための式または係数を算出し、メモリに記憶する。

#### 【0238】

アナログーデジタル変換回路1dのA/D変換動作時に、補正回路17は、メモリに記憶された式または係数に基づいて、出力回路8から出力されるデジタル出力値Doutを補正し、補正されたデジタル出力値Doutaを出力する。

#### 【0239】

以上のように、本実施の形態に係るアナログーデジタル変換回路1dでは、サンプルホールド回路26の演算増幅器のゲインエラーによる段差エラーを検出できるとともに、検出された段差エラーが補正回路17により補正される。その結果、段差エラーを有さないデジタル出力値Doutaを出力することが可能となる。

#### 【0240】

また、本実施の形態に係るアナログーデジタル変換回路1dでは、段差エラーを補正するためにチューニング設計のような調整を行う必要がないため、開発コストを低減することができる。

#### 【0241】

さらに、本実施の形態に係るアナログーデジタル変換回路1dでは、サンプルホールド回路26の演算増幅器に供給される電源電圧が変動した場合でも、容易に段差エラーを検出および補正することができるので、入出力特性の劣化を容易に防止することができる。

#### 【0242】

第5の実施の形態においては、1段目の回路3、2段目の回路4、3段目の回路5および4段目の回路6が複数段の回路に相当し、アナログーデジタル変換回路1dがアナログーデジタル変換回路に相当し、サブA/Dコンバータ9がアナログーデジタル変換器に相当し、サブD/Aコンバータ10がデジタルーアナログ変換器に相当し、コンパレータ900~915が比較器に相当し、演算増幅器11が演算増幅器に相当し、基準電圧 $V_{ref}$ が基準電圧に相当し、アナログ入力信号Vinがアナログ信号に相当し、スイッチSW31、SW32が第1のスイッチに相当し、差分増幅回路14が差分増幅器に相当し、

比較器 25 が比較器に相当し、サンプルホールド回路 26 が演算増幅器および調整回路に相当し、段差エラー検出制御回路 30 が信号生成回路に相当し、モード切替回路 91 が第 2 のスイッチに相当し、正規レンジ OR が正規レンジに相当し、冗長レンジ e R1, e R2 が冗長レンジに相当し、減算器 16 が減算器に相当し、補正回路 17 が補正回路に相当する。

#### 【0243】

(第 6 の実施の形態)

図 18 は、本発明の第 6 の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

#### 【0244】

図 18 のアナログーデジタル変換回路 1e の構成が、図 1 のアナログーデジタル変換回路 1 の構成と異なるのは、以下の点である。

#### 【0245】

図 18 において、補正回路 17 の代わりに制御回路 101 が設けられ、第 1 段目の回路 3 の演算増幅回路 11 の代わりに演算増幅回路 11a が設けられている。制御回路 101 は、減算器 16 から出力された段差エラーの値に応じて演算増幅回路 11a の増幅率を変更することにより、段差エラーを補正する。

#### 【0246】

図 19 は、図 18 の演算増幅回路 11a の構成の一例を示す回路図である。

#### 【0247】

図 19 に示す演算増幅回路 11a は、演算増幅器 110、コンデンサ 200, 201, 202, 203, 204 およびスイッチ SW101, SW102, SW103 を含む。

#### 【0248】

コンデンサ 200 は容量 400C を有し、コンデンサ 201 は容量 96C を有し、コンデンサ 202 は容量 1C を有し、コンデンサ 203 は容量 2C を有し、コンデンサ 204 は容量 4C を有する。

#### 【0249】

演算増幅器 110 の反転入力端子と出力端子の間にコンデンサ 201、コンデンサ 202 とスイッチ SW101 との直列回路、コンデンサ 203 とスイッチ SW102 との直列回路およびコンデンサ 204 とスイッチ SW103 との直列回路が接続されている。演算増幅器 110 の反転入力端子には、コンデンサ 200 が接続されている。演算増幅器 110 の非反転入力端子は、接地されている。

#### 【0250】

制御回路 101 が減算器 16 から出力される段差エラーの値に応じてスイッチ SW101 ~ SW103 を選択的にオンまたはオフすることにより演算増幅回路 11a の増幅率を 1% ずつ 8 段階に切り替えることができる。

#### 【0251】

例えば、制御回路 101 がスイッチ SW101 ~ SW103 の全てをオフにした場合、演算増幅回路 11a の利得は、 $400C / 96C = \text{約} 4.16$  (約 4%) となる。また、制御回路 101 がスイッチ SW101 をオンし、スイッチ SW102, SW103 をオフした場合、演算増幅回路 11a の利得は、 $400C / 97C = \text{約} 4.12$  (約 3%) となる。制御回路 101 がスイッチ SW101 ~ SW103 の全てをオンにした場合、演算増幅回路 11a の利得は、 $400C / 104C = \text{約} 3.84$  (約 -4%) となる。その結果、段差エラーを補正することができる。

#### 【0252】

また、制御回路 101 による段差エラーの補正動作を繰り返し行うことにより段差エラーを最小にしてもよい。

#### 【0253】

また、本実施の形態においては、制御回路 101 を用いて差分増幅回路 14 の演算増幅器 11 の増幅率を調整することにより段差エラーを補正することとしたが、これに限定さ

れず、例えば、制御回路 101 が段差エラーに応じて 2 段目の回路 4 のサブ A/D コンバータ 9 の基準電圧を調整することにより段差エラーを補正してもよい。

#### 【0254】

(冗長補正)

上記第 1 の実施の形態のアナログーデジタル変換回路 1 において、1 段目、2 段目および 3 段目の回路 3、4、5 の出力電圧が 2 段目、3 段目および 4 段目の回路 4、5、6 のサブ A/D コンバータ 9 の正規レンジから外れる場合を想定し、2 段目、3 段目および 4 段目の回路 4、5、6 のサブ A/D コンバータ 9 の電圧レンジは正規レンジの上下に冗長レンジを有する。

#### 【0255】

この場合、2 段目、3 段目および 4 段目の回路 4、5、6 のサブ A/D コンバータ 9 は、2 ビットのデジタル信号 D5、D4 に加えて冗長レンジに対応する 1 つの冗長ビットを有する。すなわち、2 段目、3 段目および 4 段目の回路 4、5、6 のサブ A/D コンバータ 9 は、冗長ビットを含めて 3 ビット構成を有する。

#### 【0256】

図 20 は、アナログーデジタル変換回路 1 の 1 段目の回路 3 および 2 段目の回路 4 におけるサブ A/D コンバータ 9 a、9 の電圧レンジを示す説明図である。図 20 (a) ~ (d) の左側に 1 段目の回路 3 のサブ A/D コンバータ 9 a の電圧レンジとデジタル信号の値との関係を示し、図 20 (a) ~ (d) の右側に 2 段目の回路 4 のサブ A/D コンバータ 9 の電圧レンジの一部とデジタル信号の値との関係を示す。

#### 【0257】

2 段目の回路 4 のサブ A/D コンバータ 9 は、正規レンジ (理想レンジ) OR の上下に冗長ビットで表される冗長レンジ eR1、eR2 を有する。デジタル信号 D5、D4 (正規ビット) および冗長ビットの合計 3 ビットにより 8 個のデジタル値が表される。正規レンジ (理想レンジ) OR に 8 個のデジタル値のうち中間の 4 個のデジタル値が割り当てられ、上下の冗長レンジ eR1、eR2 の各々に 2 個のデジタル値が割り当てられる。

#### 【0258】

1 段目の回路 3 が正常に動作する場合には、図 20 (a) に示すように、1 段目の演算増幅器 11 の出力電圧は 2 段目の回路 4 のサブ A/D コンバータ 9 の正規レンジ OR 内にある。

#### 【0259】

図 20 (b) の例では、1 段目の演算増幅器 11 が入力オフセットを有することにより、演算増幅器 11 の出力電圧の一部が 2 段目の回路 4 のサブ A/D コンバータ 9 の正規レンジ OR から外れ、冗長レンジ eR1 内にある。

#### 【0260】

図 20 (c) の例では、1 段目の演算増幅器 11 がゲインエラーを有することにより、演算増幅器 11 の出力電圧の一部が 2 段目の回路 4 のサブ A/D コンバータ 9 の正規レンジ OR から外れ、冗長レンジ eR1、eR2 内にある。

#### 【0261】

図 20 (d) の例では、1 段目の回路 3 のサブ A/D コンバータ 9 a が誤動作することにより、1 段目の演算増幅器 11 の出力電圧の一部が 2 段目の回路 4 のサブ A/D コンバータ 9 の正規レンジ OR から外れ、冗長レンジ eR2 内にある。

#### 【0262】

このように、1 段目の演算増幅器 11 の出力電圧が 2 段目の回路 4 のサブ A/D コンバータ 9 の冗長レンジ eR1、eR2 内にある場合には、1 段目の回路 3 のサブ A/D コンバータ 9 a から出力されるデジタル信号 D9 ~ D6 の値および 2 段目のサブ A/D コンバータ 9 から出力されるデジタル信号 D5 ~ D4 の値を補正する。

#### 【0263】

例えば、1 段目の回路 3 のサブ A/D コンバータ 9 a から出力されるデジタル信号 D9 ~ D6 の値が “0111” であり、演算増幅器 11 の出力電圧が 2 段目の回路 4 のサブ A



／Dコンバータ9の冗長レンジeR2内にある場合には、デジタル信号D9～D6の値を“0110”に補正し、2段目の回路3のサブA／Dコンバータ9aのデジタル信号D5，D4の値を“11”に補正する。

【0264】

このようにして、1段目の回路3における演算増幅器11の出力電圧が2段目の回路4のサブA／Dコンバータ9の正規レンジORから外れる場合でも、冗長レンジeR1，eR2の存在により誤ったデジタル信号D9～D4が出力されることを防止することができる。

【0265】

図21(a)は1段目の回路3の演算増幅器11が入力オフセットを有する場合の演算増幅器11の出力電圧を示す図であり、図21(b)は1段目の回路3の演算増幅器11が入力オフセットを有する場合のアナログーデジタル変換回路1の入出力特性を示す図である。

【0266】

図21(a)において、1段目の回路3の演算増幅器11が入力オフセットを有さない場合の演算増幅器11の出力電圧を実線で示し、1段目の回路3の演算増幅器11が入力オフセットを有する場合の演算増幅器11の出力電圧を破線で示す。図21(b)において、1段目の回路3の演算増幅器11が入力オフセットを有さない場合のアナログーデジタル変換回路1の入出力特性を実線で示し、1段目の回路3の演算増幅器11が入力オフセットを有する場合のアナログーデジタル変換回路1の入出力特性を破線で示す。

【0267】

図21(a)に示すように、1段目の回路3の演算増幅器11が入力オフセットを有する場合、その演算増幅器11の出力電圧は2段目の回路4のサブA／Dコンバータ9の正規レンジORから外れる。この場合、冗長レンジeR1，eR2を設けることにより、ミスコード（誤ったデジタル値）が発生することが防止される。図21(b)に示すように、アナログーデジタル変換回路1の入出力特性は、全体的にオフセットを有するが、直線性は保たれる。

【0268】

図22(a)は1段目の回路3の演算増幅器11がゲインエラーを有する場合の演算増幅器11の出力電圧を示す図であり、図22(b)は1段目の回路3の演算増幅器11がゲインエラーを有する場合のアナログーデジタル変換回路1の入出力特性を示す図である。

【0269】

図22(a)において、1段目の回路3の演算増幅器11がゲインエラーを有さない場合の演算増幅器11の出力電圧を実線で示し、1段目の回路3の演算増幅器11がゲインエラーを有する場合の演算増幅器11の出力電圧を破線で示す。

【0270】

図22(b)において、1段目の回路3の演算増幅器11がゲインエラーを有さない場合のアナログーデジタル変換回路1の入出力特性を実線で示し、1段目の回路3の演算増幅器11がゲインエラーを有する場合のアナログーデジタル変換回路1の入出力特性を破線で示す。

【0271】

図22(a)に示すように、1段目の回路3の演算増幅器11がゲインエラーを有する場合、その演算増幅器11の出力電圧は2段目の回路4のサブA／Dコンバータ9の正規レンジORから外れる。この場合、冗長レンジeR1，eR2を設けることにより、ミスコードが発生することが防止される。図22(b)に示すように、アナログーデジタル変換回路1の入出力特性には段差エラーが生じるが、各段の入出力特性の境界はつながる。

【0272】

図23は2段目の回路4のサブA／Dコンバータ9が冗長レンジを有する場合のアナログーデジタル変換回路1の入出力特性を示す図である。

**【0273】**

・図23においては、基準電圧  $V_{ref}$  は、図4の基準抵抗  $R1 \sim R15$  により生成される基準電圧のいずれかである。上記のように、2段目の回路4のサブA/Dコンバータ9が冗長レンジ  $eR1$ ,  $eR2$  を有する場合、入出力特性において正規レンジORと冗長レンジ  $eR1$ ,  $eR2$  とが重なる領域（以下、オーバーラップ領域と呼ぶ）が存在する。図23の例では、冗長レンジ  $eR2$  の下限の電圧  $V_{ref1}$  から冗長レンジ  $eR1$  の上限の電圧  $V_{ref2}$  までの範囲がオーバーラップ領域である。

**【0274】**

この場合、段差エラー検出時に基準電圧  $V_{ref}$  の代わりにオーバーラップ領域の任意の電圧を差分増幅回路14およびサブA/Dコンバータ9aに印加することができる。すなわち、段差エラー検出時に図1のスイッチ  $SW31$  に基準電圧  $V_{refa}$  の代わりにオーバーラップ領域の任意の電圧  $V_{refn}$  を印加することにより、段差エラーの大きさを検出することができる。

**【0275】**

この場合にも、まず、外部入力信号  $CDSa$  が“0”のときのデジタル出力値  $Dout$  と外部入力信号  $CDSa$  が“1”のときのデジタル出力値  $Dout$  との差分値が段差エラーの大きさに相当する。

**【0276】**

第2の実施の形態に係るアナログーデジタル変換回路1aにおいても、同様に、段差エラー検出時に基準電圧  $V_{refa}$ ,  $V_{refb}$  の代わりにオーバーラップ領域の任意の電圧を図5のスイッチ  $SW31$ ,  $SW33$  を介して差分増幅回路14およびサブA/Dコンバータ9bに印加することにより、段差エラーの大きさを検出することができる。

**【0277】**

第3の実施の形態に係るアナログーデジタル変換回路1bにおいても、同様に、段差エラー検出時に基準電圧  $V_{refa}$ ,  $V_{refc}$ ,  $V_{refd}$  の代わりにオーバーラップ領域の任意の電圧をスイッチ  $SW31$ ,  $SW41$ ,  $SW51$  を介して差分増幅回路14およびサブA/Dコンバータ9a, 9cに印加することにより、段差エラーの大きさを検出することができる。

**【0278】**

第4の実施の形態に係るアナログーデジタル変換回路1cにおいても、同様に、段差エラー検出時に基準電圧  $V_{refe}$  の代わりにオーバーラップ領域の任意の電圧をスイッチ  $SW71$  を介して入力ノード  $NI$  に印加することにより、段差エラーの大きさを検出することができる。

**【0279】**

第5の実施の形態に係るアナログーデジタル変換回路1dにおいても、同様に、段差エラー検出時に基準電圧  $V_{reff}$  の代わりにオーバーラップ領域の任意の電圧をスイッチ  $SW31$  を介して比較器25およびサンプルホールド回路26に印加することにより、段差エラーの大きさを検出することができる。

**【0280】**

第6の実施の形態に係るアナログーデジタル変換回路1eにおいても、同様に、段差エラー検出時に基準電圧  $V_{refa}$  の代わりにオーバーラップ領域の任意の電圧を図18のスイッチ  $SW31$ ,  $SW33$  を介して差分増幅回路14およびサブA/Dコンバータ9bに印加することにより、段差エラーの大きさを検出することができる。

**【0281】**

なお、上記第1～第6の実施の形態において、スイッチ  $SW31$ ,  $SW32$ ,  $SW33$ ,  $SW41$ ,  $SW42$ ,  $SW51$ ,  $SW52$ ,  $SW61$ ,  $SW62$ ,  $SW71$ ,  $SW11$ ,  $SW12$  は、例えばCMOSスイッチにより構成されるが、これに限定されず、電界効果トランジスタ、バイポーラトランジスタ等の種々のスイッチング素子により構成することができる。

【産業上の利用可能性】

## 【0282】

・本発明に係るアナログーデジタル変換回路は、入出力特性の段差エラーを検出することができ、その検出結果に応じてアナログ信号をデジタル信号に変換するアナログーデジタル変換回路等に利用可能である。

## 【図面の簡単な説明】

## 【0283】

【図1】第1の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【図2】図1のアナログーデジタル変換回路の入出力特性を示す図である。

【図3】図2に示す入出力特性の一部の拡大図である。

【図4】サブA/Dコンバータの内部構成を示す回路図である。

【図5】本発明の第2の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【図6】図5のアナログーデジタル変換回路の入出力特性を示す図である。

【図7】サブA/Dコンバータの内部構成を示す回路図である。

【図8】本発明の第3の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【図9】図8のアナログーデジタル変換回路の入出力特性を示す図である。

【図10】サブA/Dコンバータの内部構成を示す回路図である。

【図11】本発明の第4の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【図12】図11のアナログーデジタル変換回路の通常のA/D変換動作時を説明するためのタイミングチャートである。

【図13】図11のアナログーデジタル変換回路の段差エラー検出時の動作を説明するためのタイミングチャートである。

【図14】本発明の第5の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【図15】調整ユニットの動作を説明するための模式図である。

【図16】図14のアナログーデジタル変換回路の入出力特性を示す図である。

【図17】調整ユニットの構成を示す回路図である。

【図18】本発明の第6の実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【図19】図18の制御回路の内部構成の一例を示す回路図である。

【図20】アナログーデジタル変換回路の1段目の回路3および2段目の回路におけるサブA/Dコンバータの電圧レンジを示す説明図である。

【図21】(a)は1段目の回路の演算増幅器が入力オフセットを有する場合の演算増幅器の出力電圧を示す図であり、(b)は1段目の回路の演算増幅器が入力オフセットを有する場合のアナログーデジタル変換回路の入出力特性を示す図である。

【図22】(a)は1段目の回路の演算増幅器がゲインエラーを有する場合の演算増幅器の出力電圧を示す図であり、(b)は1段目の回路の演算増幅器がゲインエラーを有する場合のアナログーデジタル変換回路の入出力特性を示す図である。

【図23】2段目の回路のサブA/Dコンバータが冗長レンジを有する場合のアナログーデジタル変換回路1の入出力特性を示す図である。

【図24】従来の多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【図25】図24の差分増幅回路の一例を示す回路図である。

【図26】図25の差分増幅回路の動作を説明するための図である。

【図27】図24のアナログーデジタル変換回路の入出力特性を示す図である。

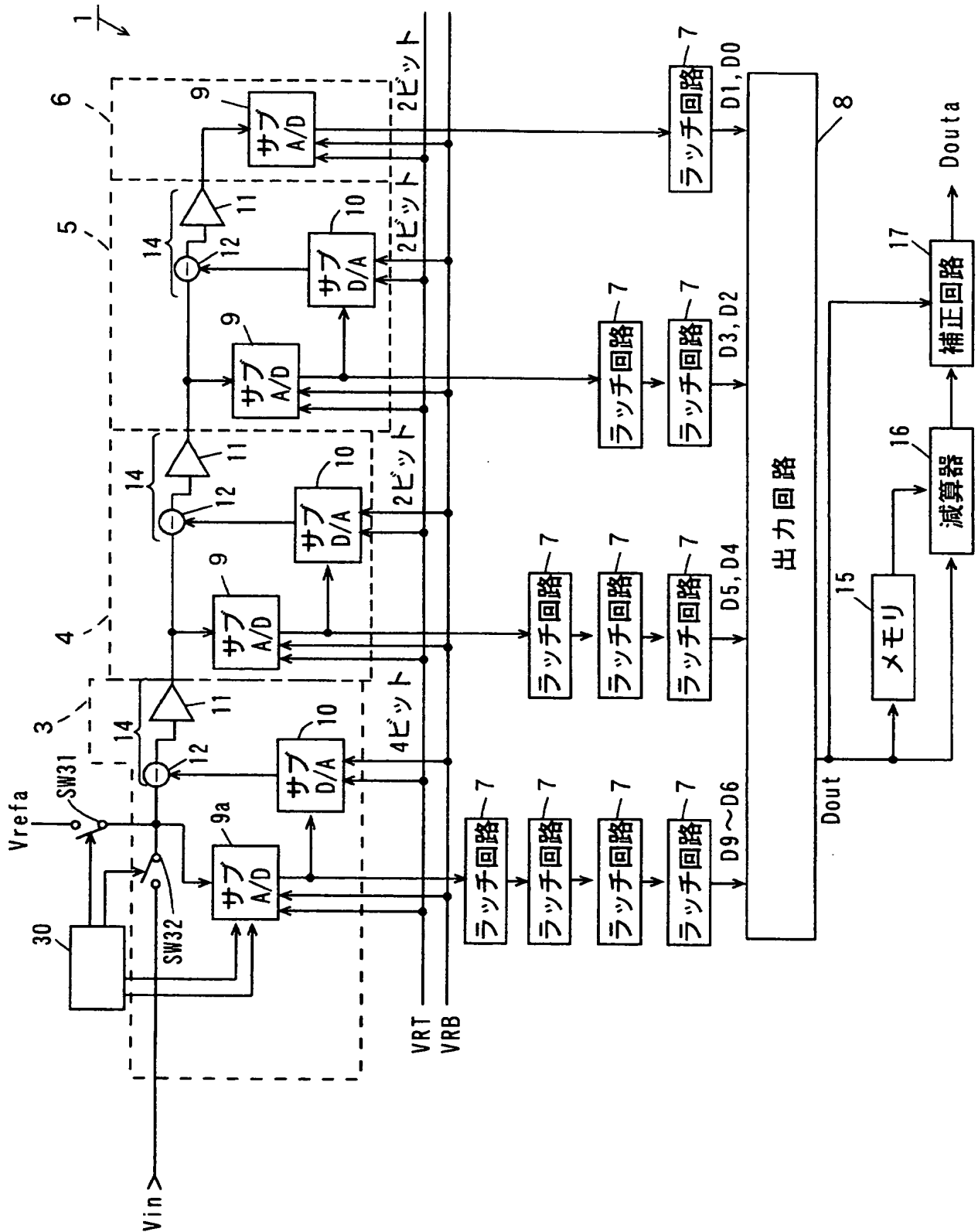
【図28】図27の入出力特性の $\alpha$ 部の拡大図である。

## 【符号の説明】

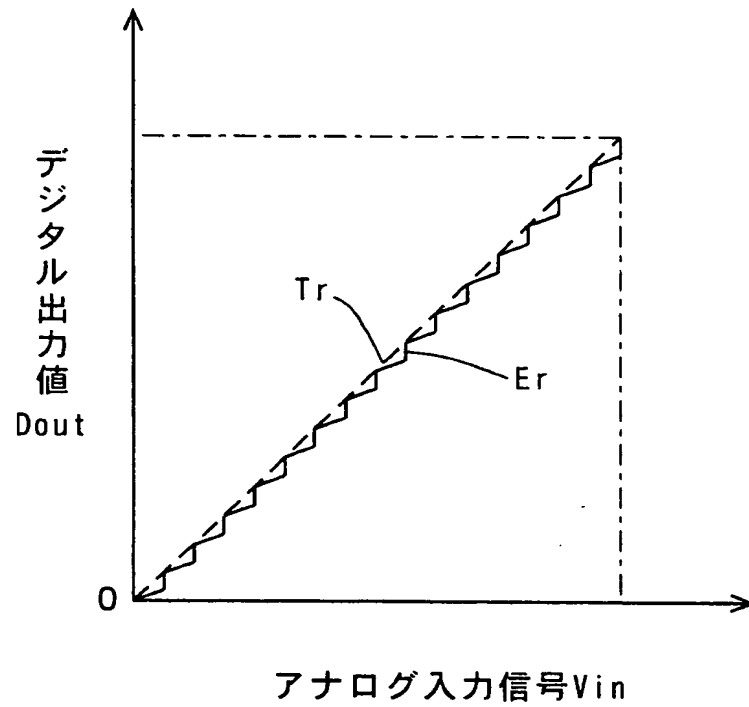
## 【 0 2 8 4 】

- 1, 1 b, 1 c, 1 d アナログ-デジタル変換回路
- 3 1段目の回路
- 4 2段目の回路
- 5 3段目の回路
- 6 4段目の回路
- 9, 9 a, 9 b, 9 c サブA/Dコンバータ
- 10, 10 a サブD/Aコンバータ
- 11 演算増幅器
- 14 差分増幅回路
- 16 減算器
- 17 補正回路
- 25 比較器
- 26 サンプルホールド回路
- 30 a, 30 b, 30 c, 30 d 段差エラー検出制御回路
- 91, 92 モード切替回路
- 900~915 コンパレータ
- V r e f a, V r e f b, V r e f c, V r e f d, V r e f f 基準電圧
- V i n, V i n 1, V i n 2 アナログ入力信号
- SW31, SW32, SW33, SW41, SW42, SW51, SW52 スイッチ
- C D S a 外部入力信号
- MD1, MD2 テストモード信号
- OR 正規レンジ
- e R 1, e R 2 冗長レンジ

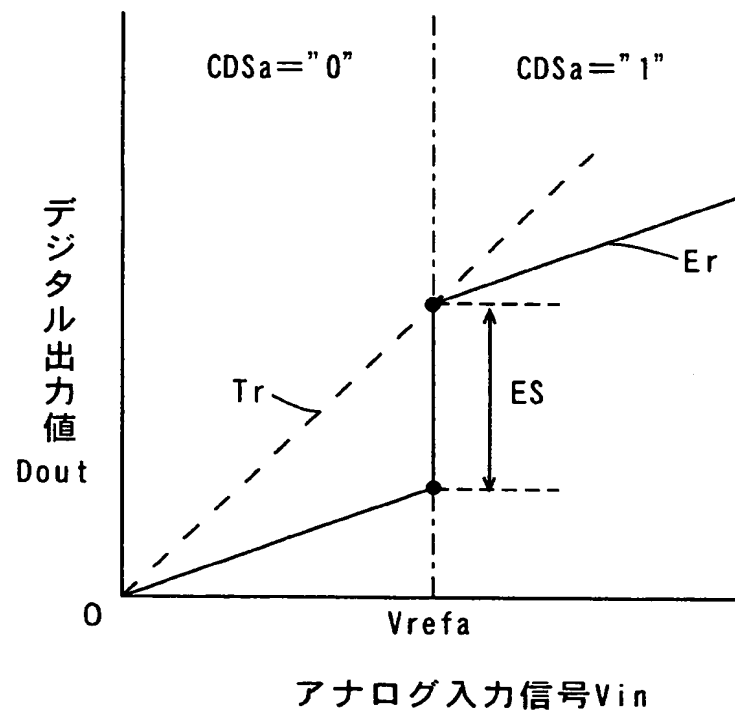
【書類名】 図面  
【図 1】



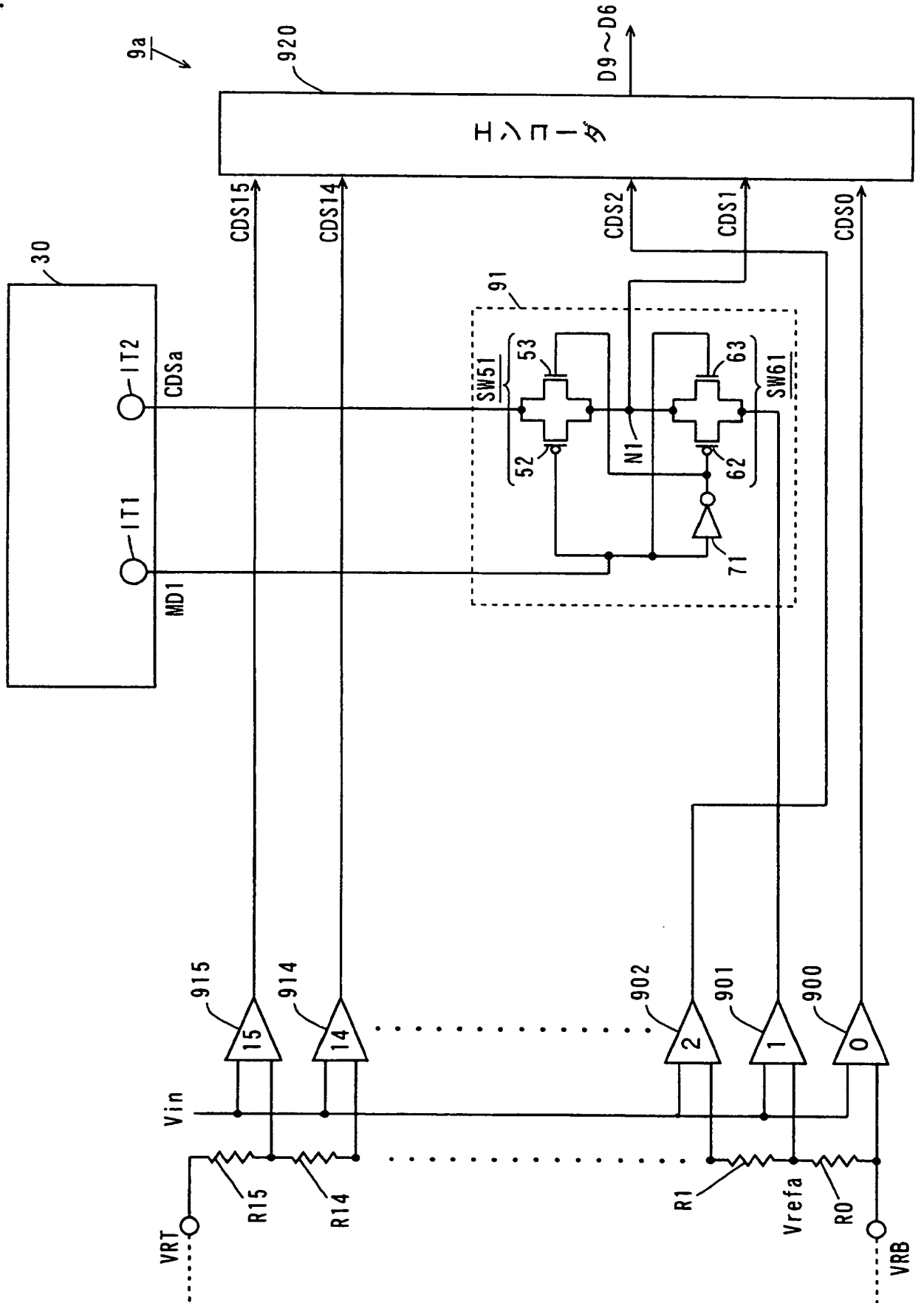
【図 2】



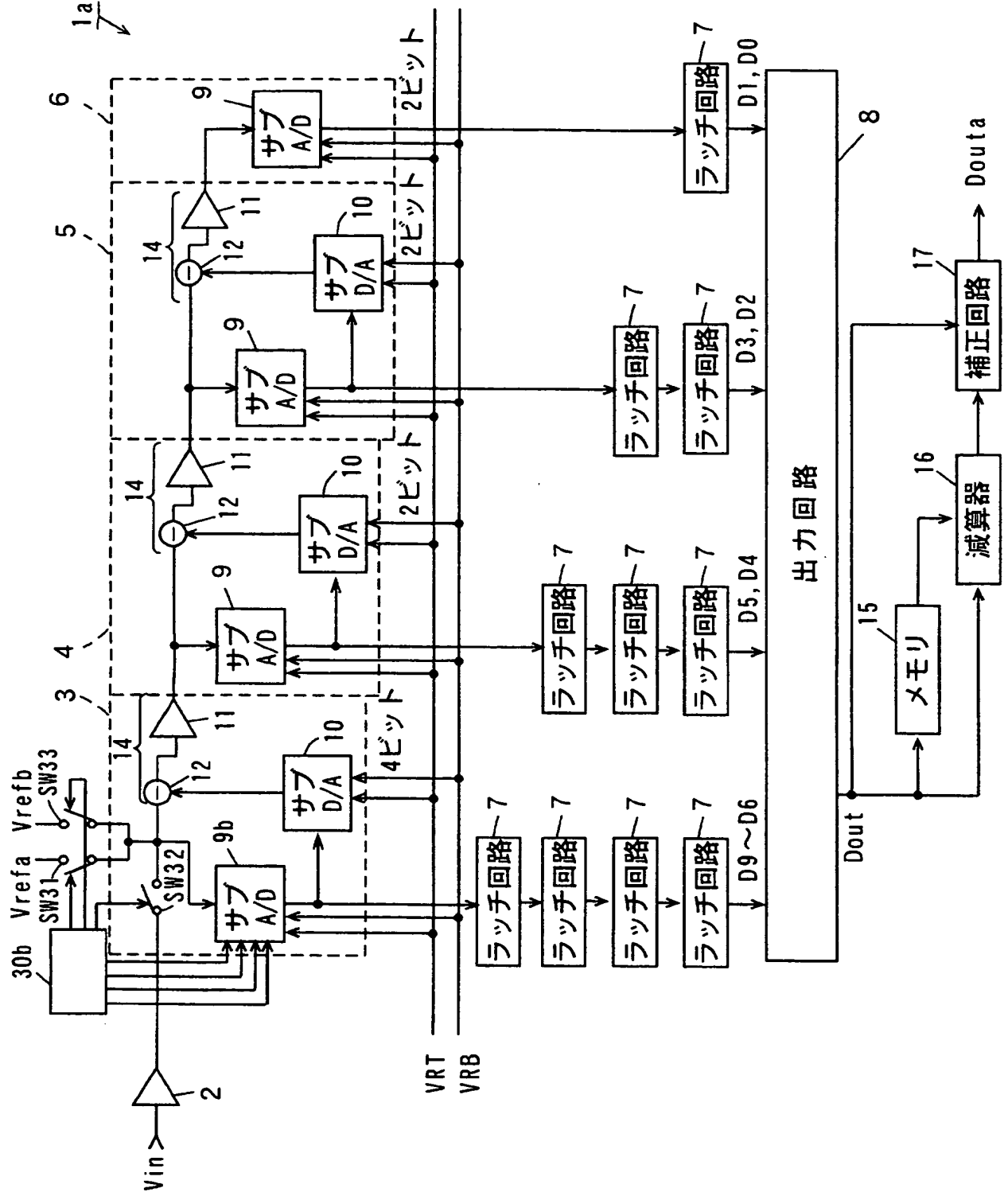
【図 3】



【図 4】

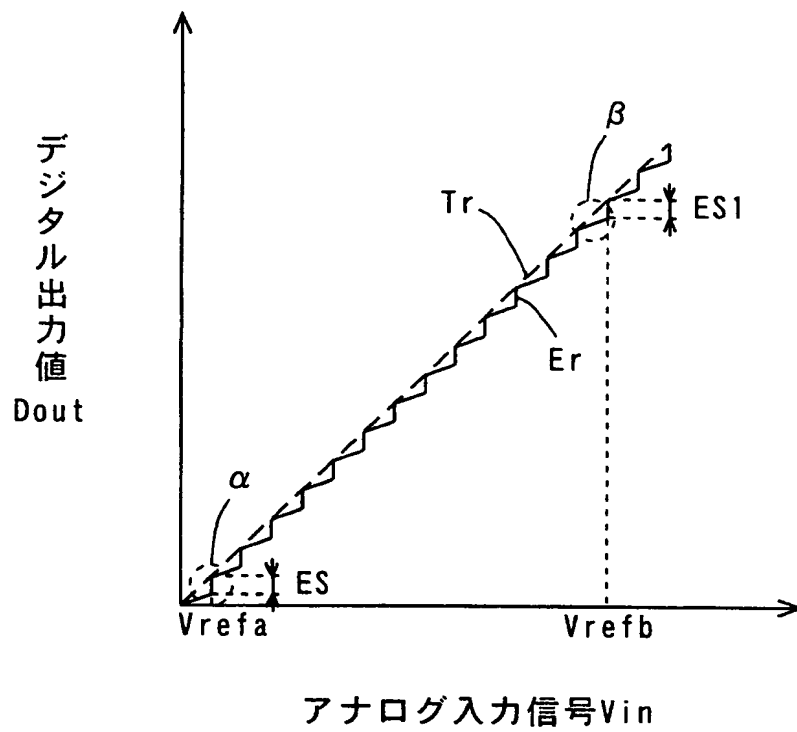


【図5】

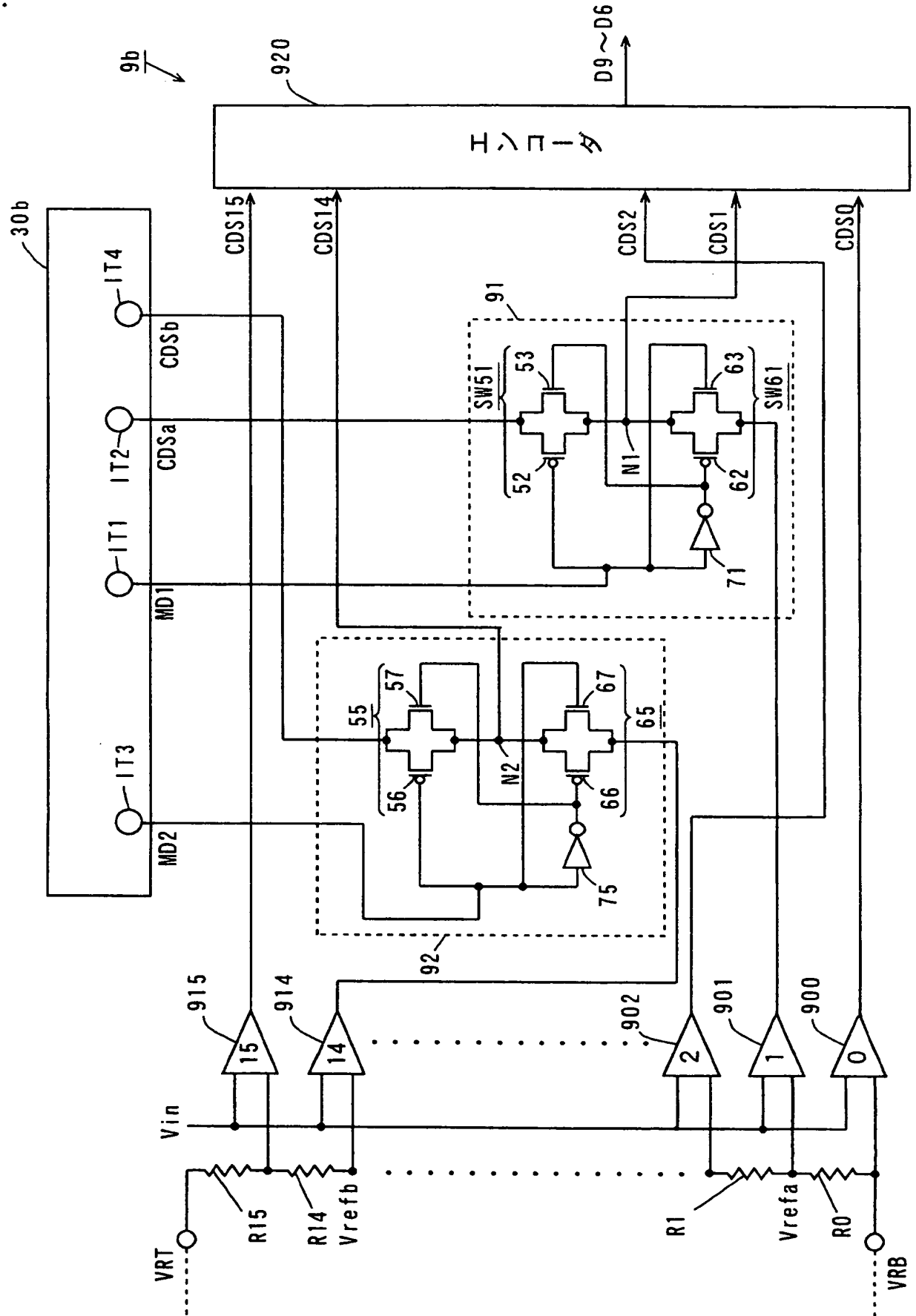




【図 6】

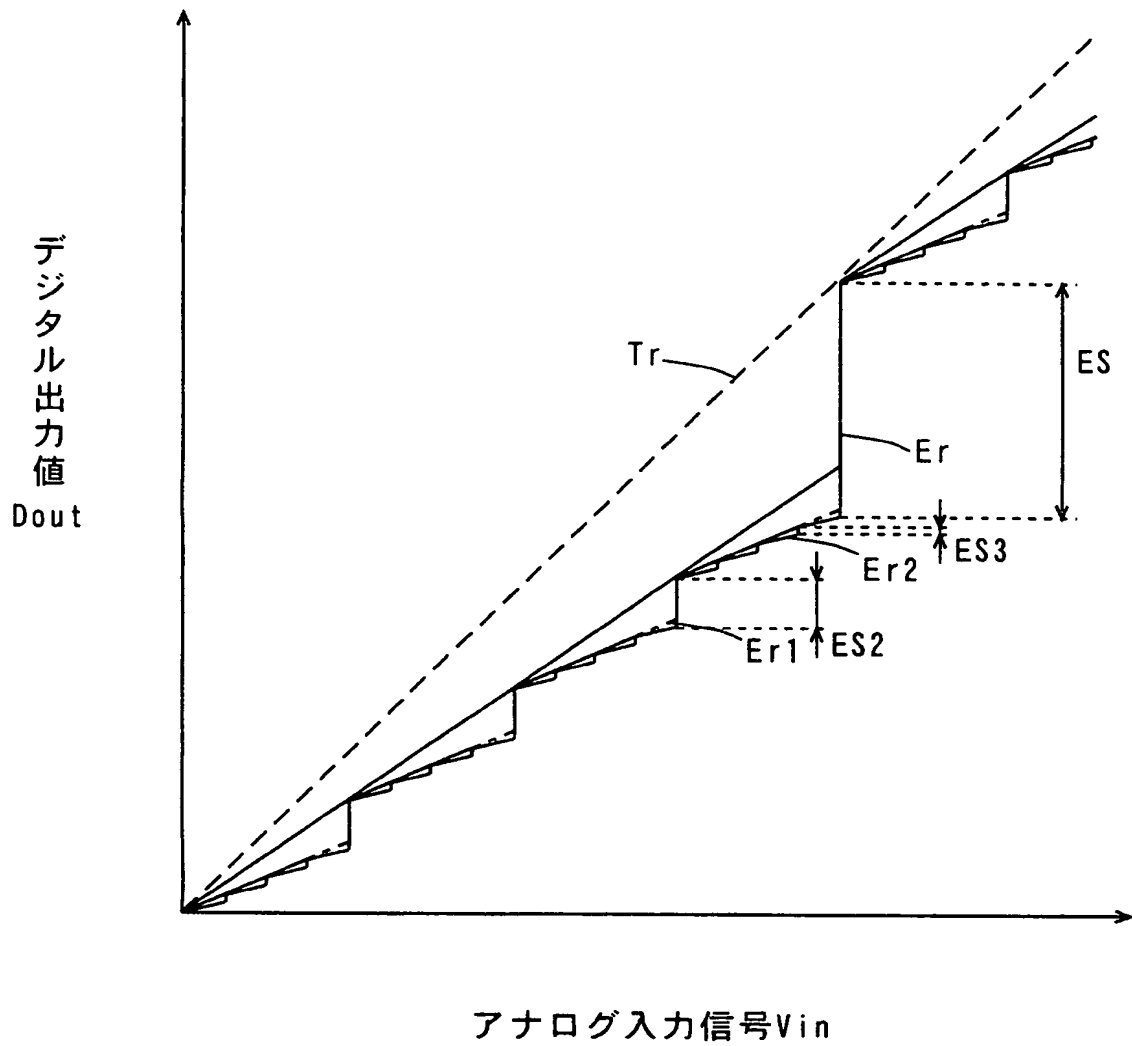


【図7】

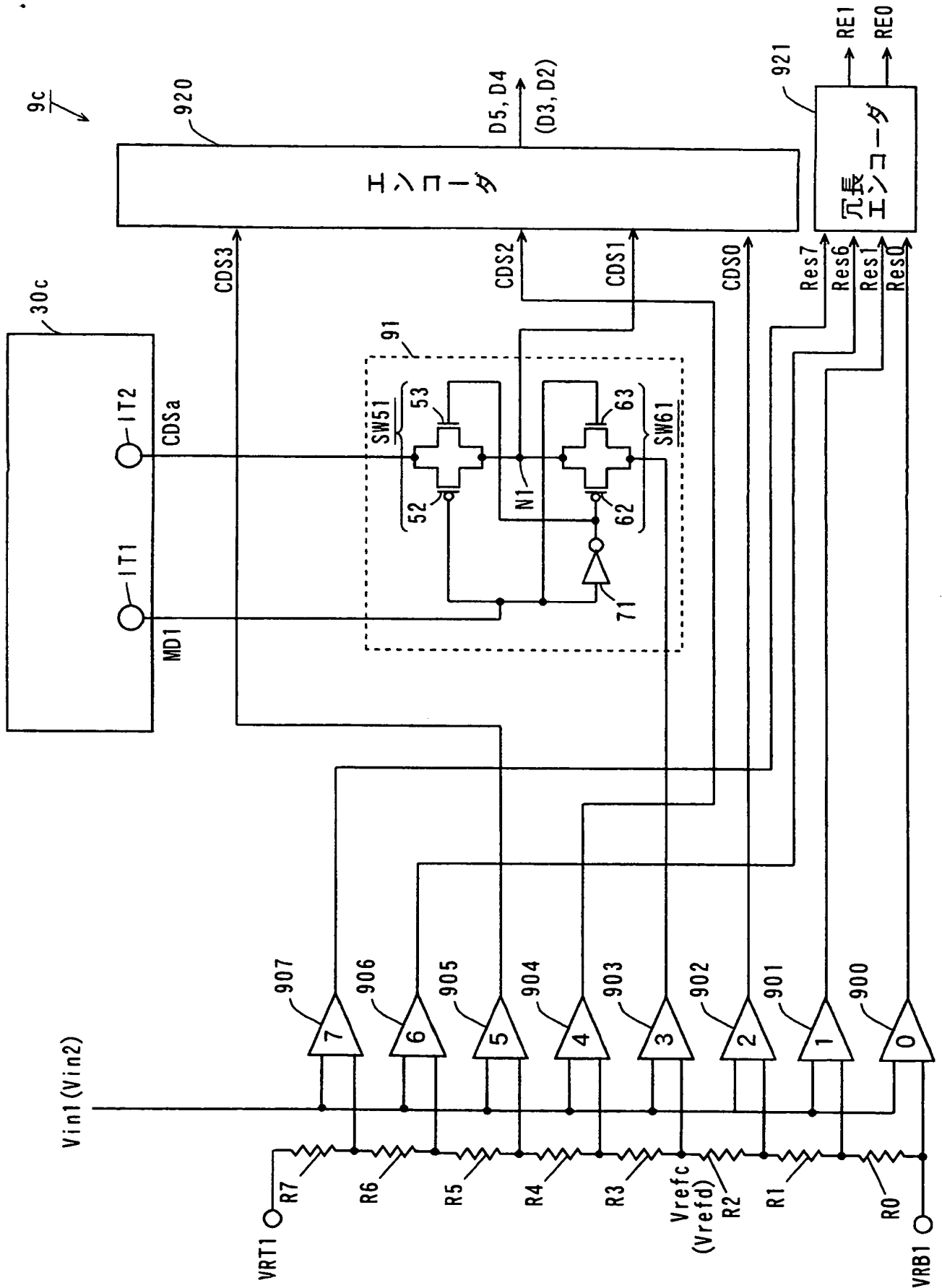




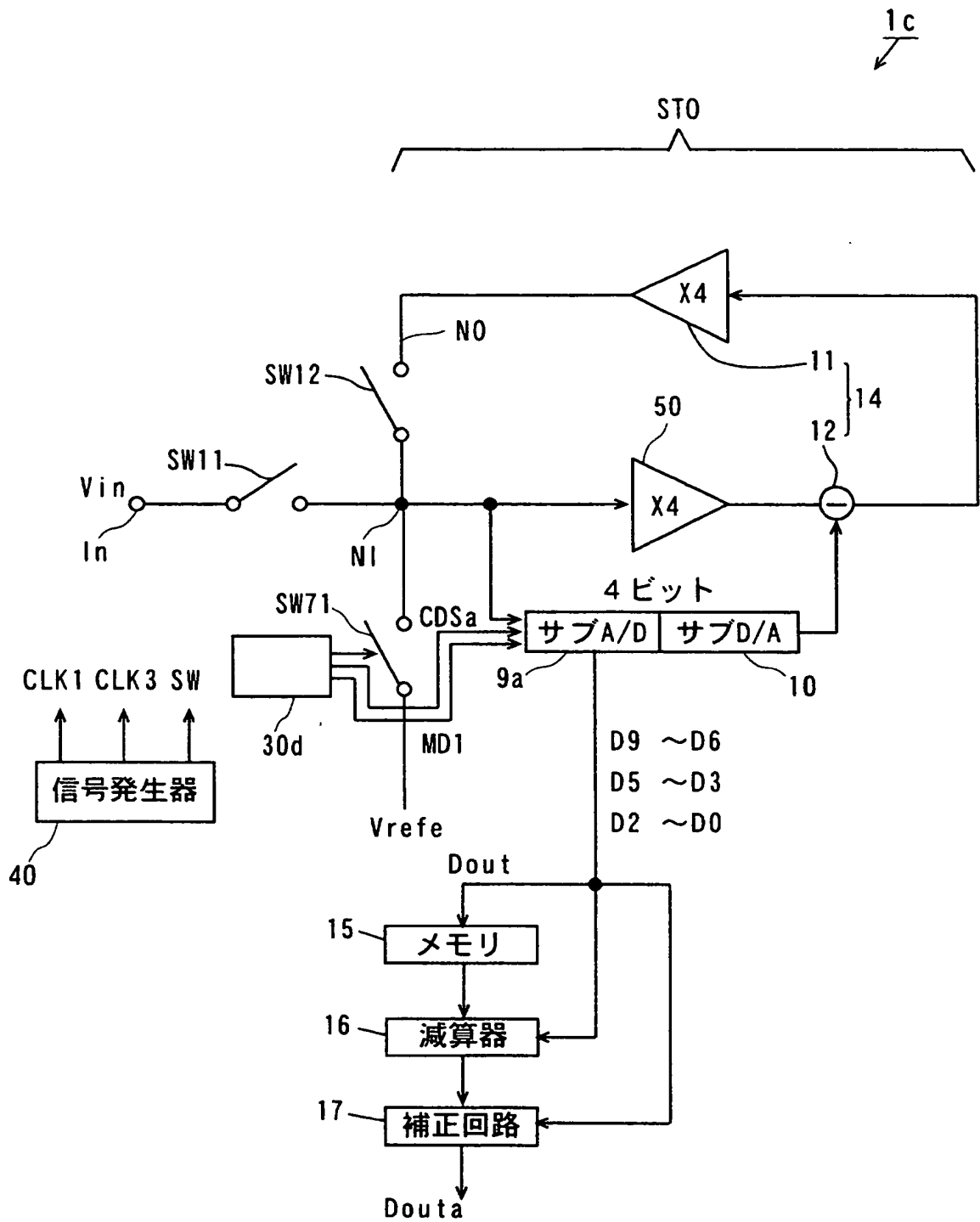
【図 9】



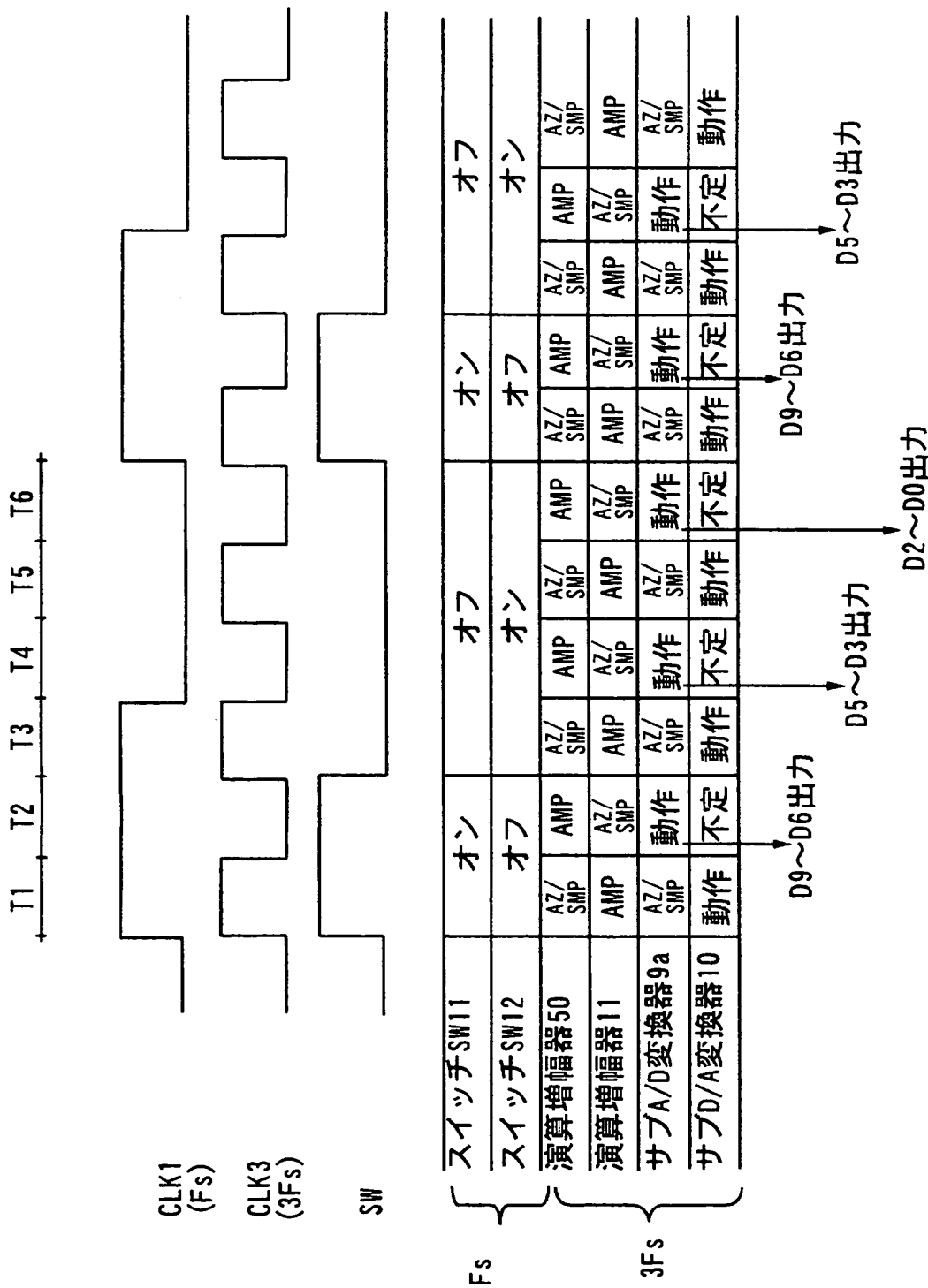
【図10】



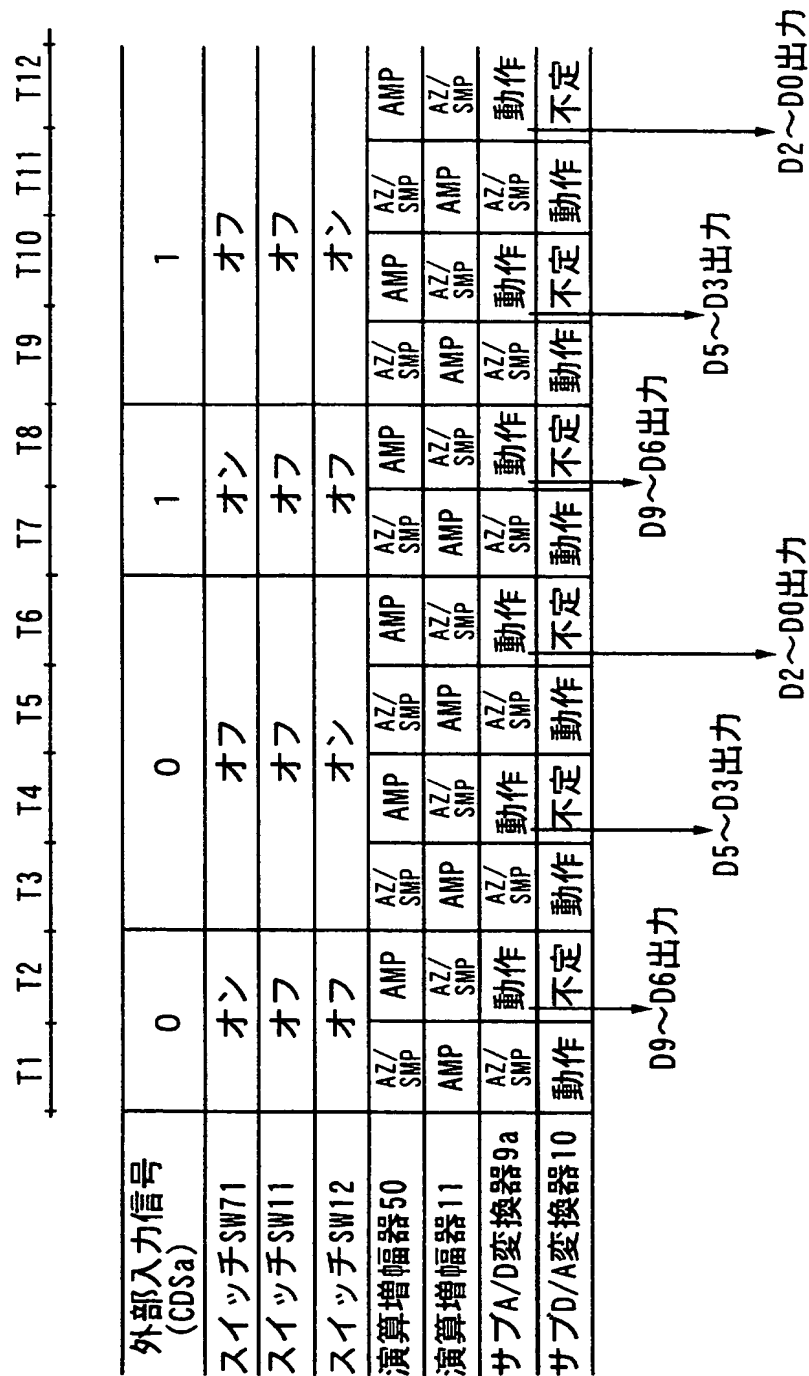
【図 11】



【図 12】

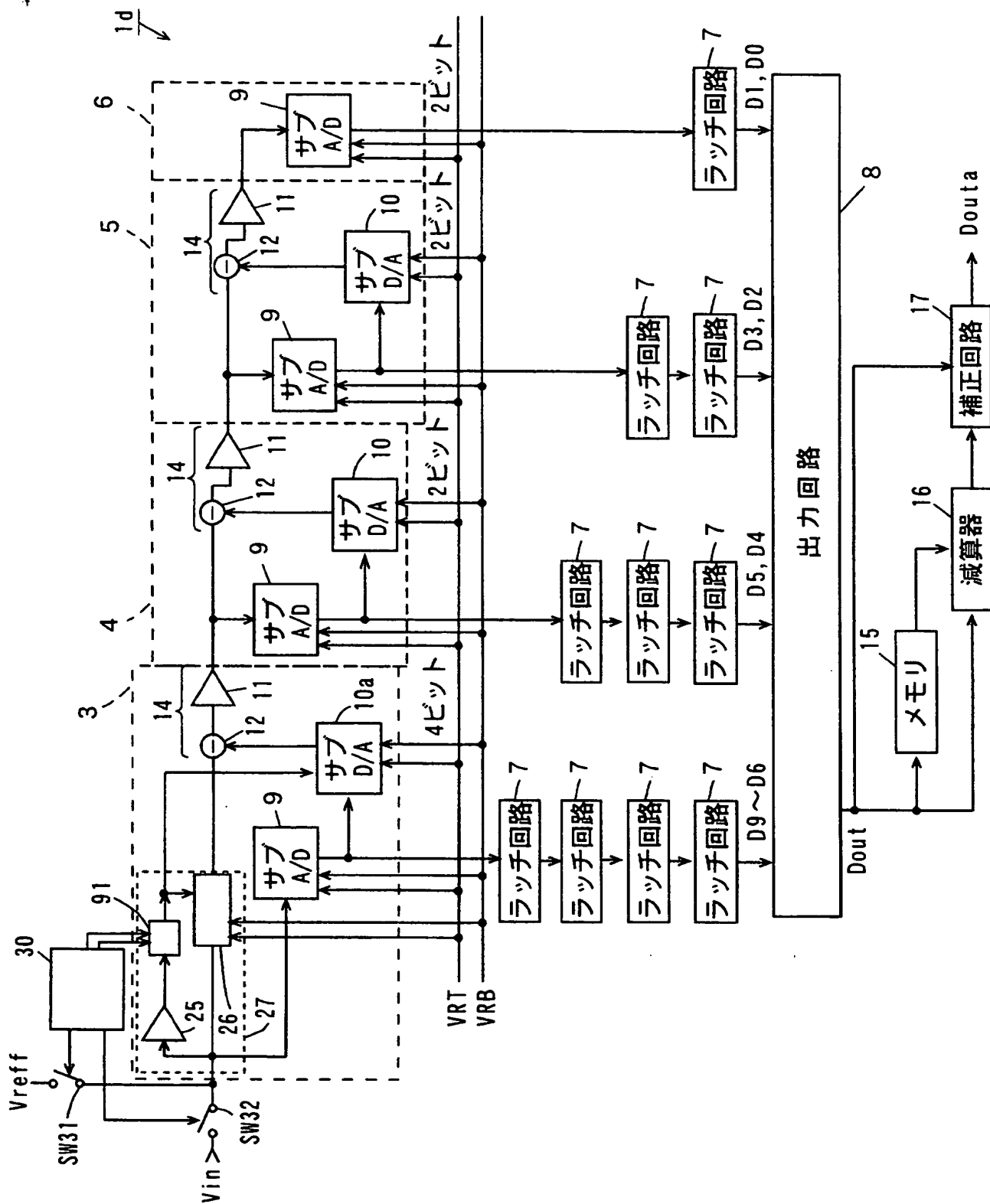


【図 13】



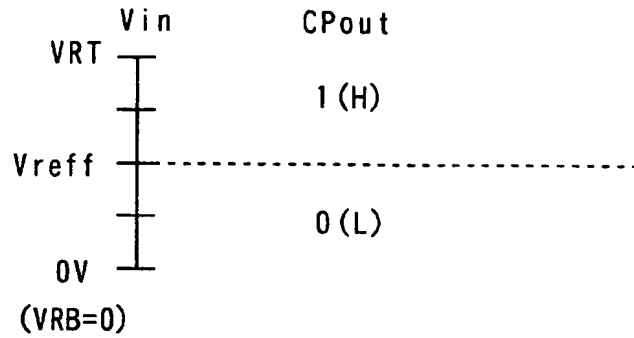


【図 14】

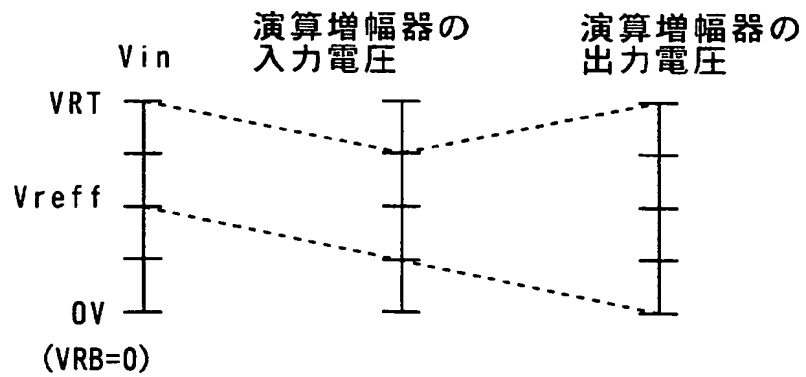


【図 15】

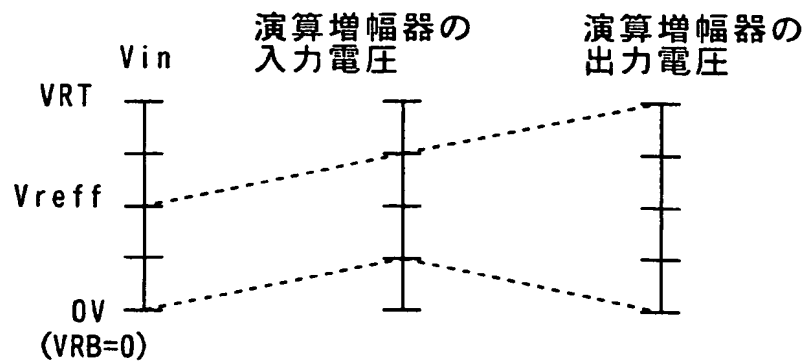
(a)



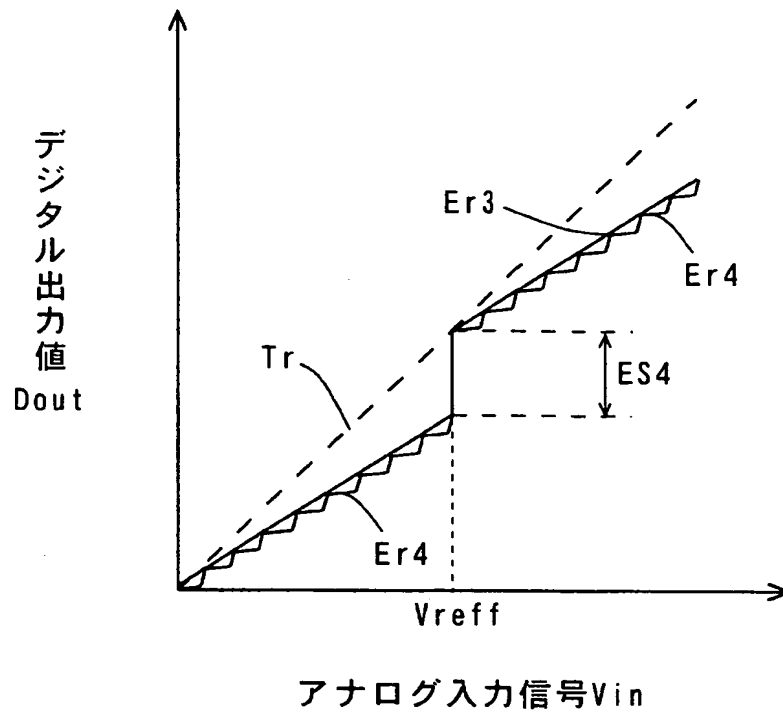
(b)



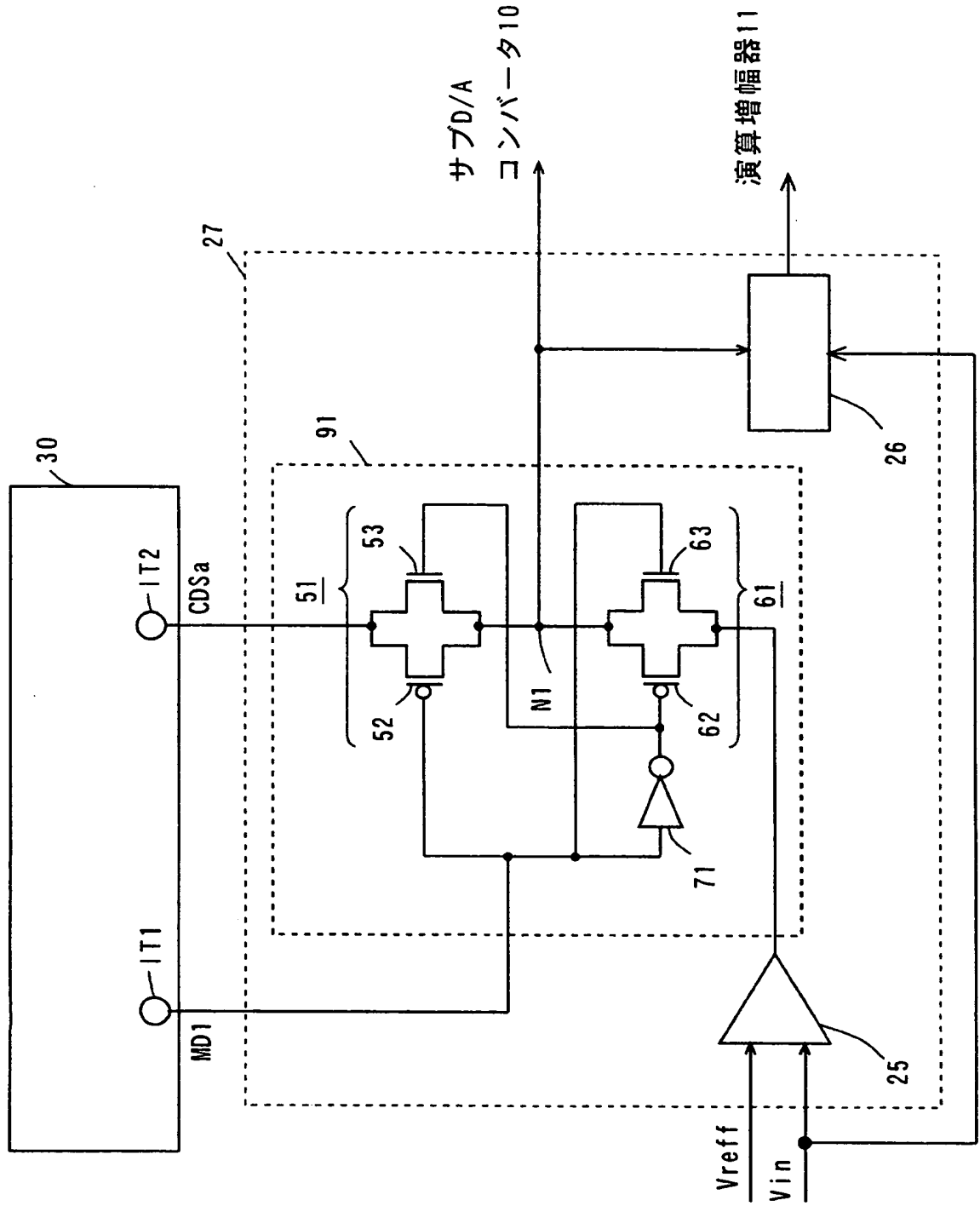
(c)



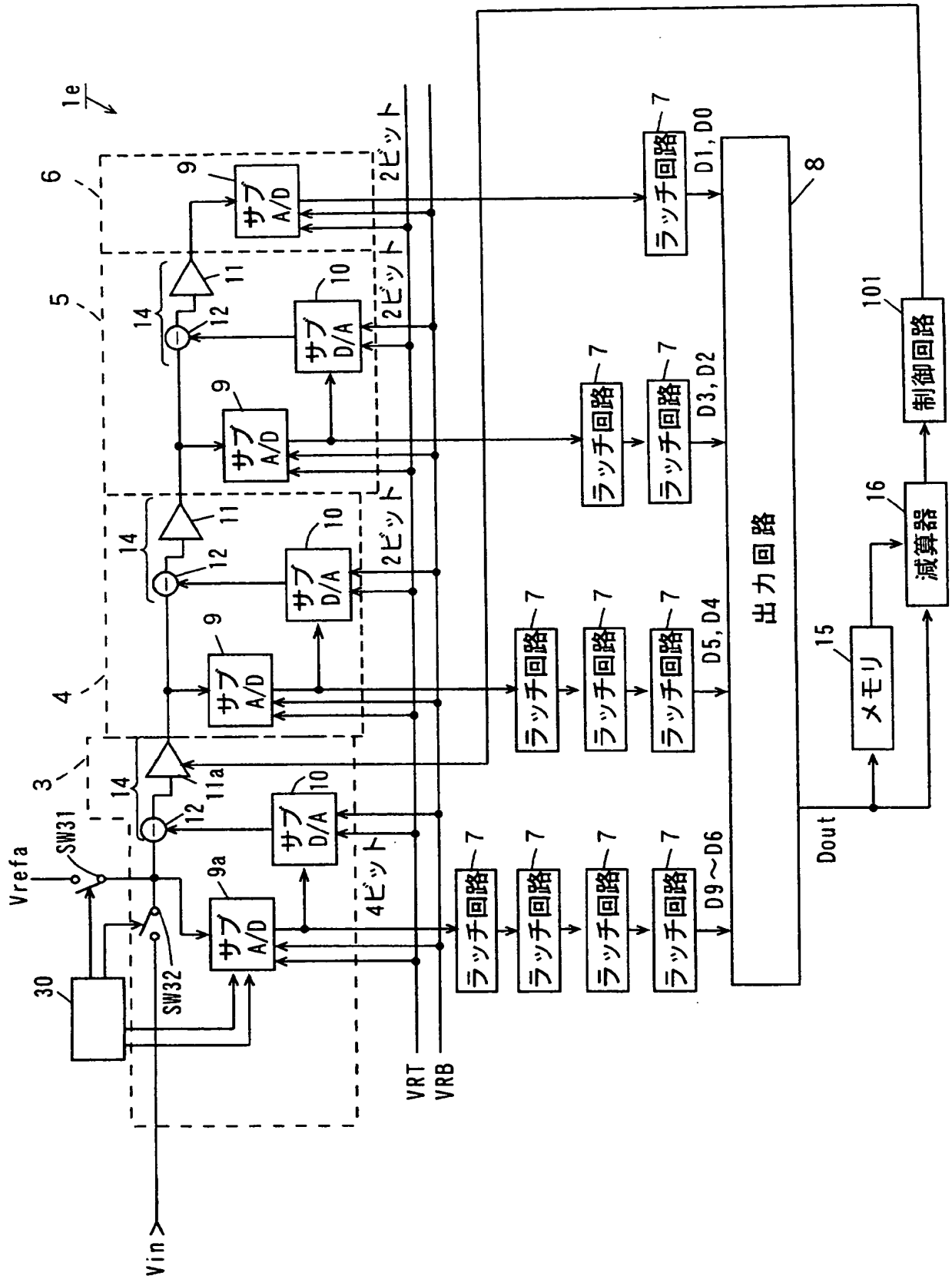
【図 16】



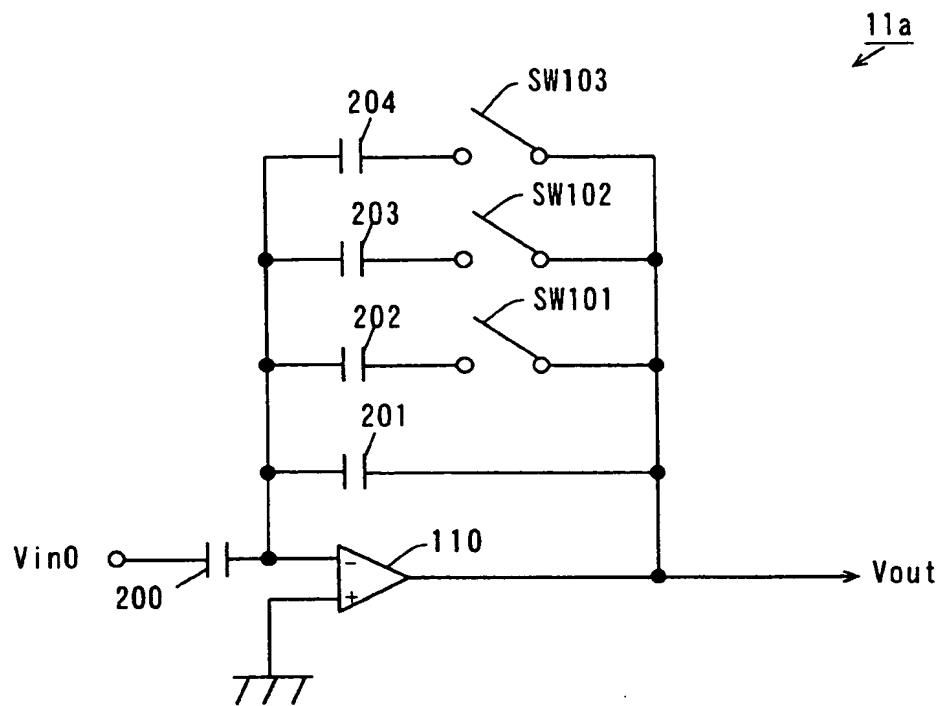
【図 17】



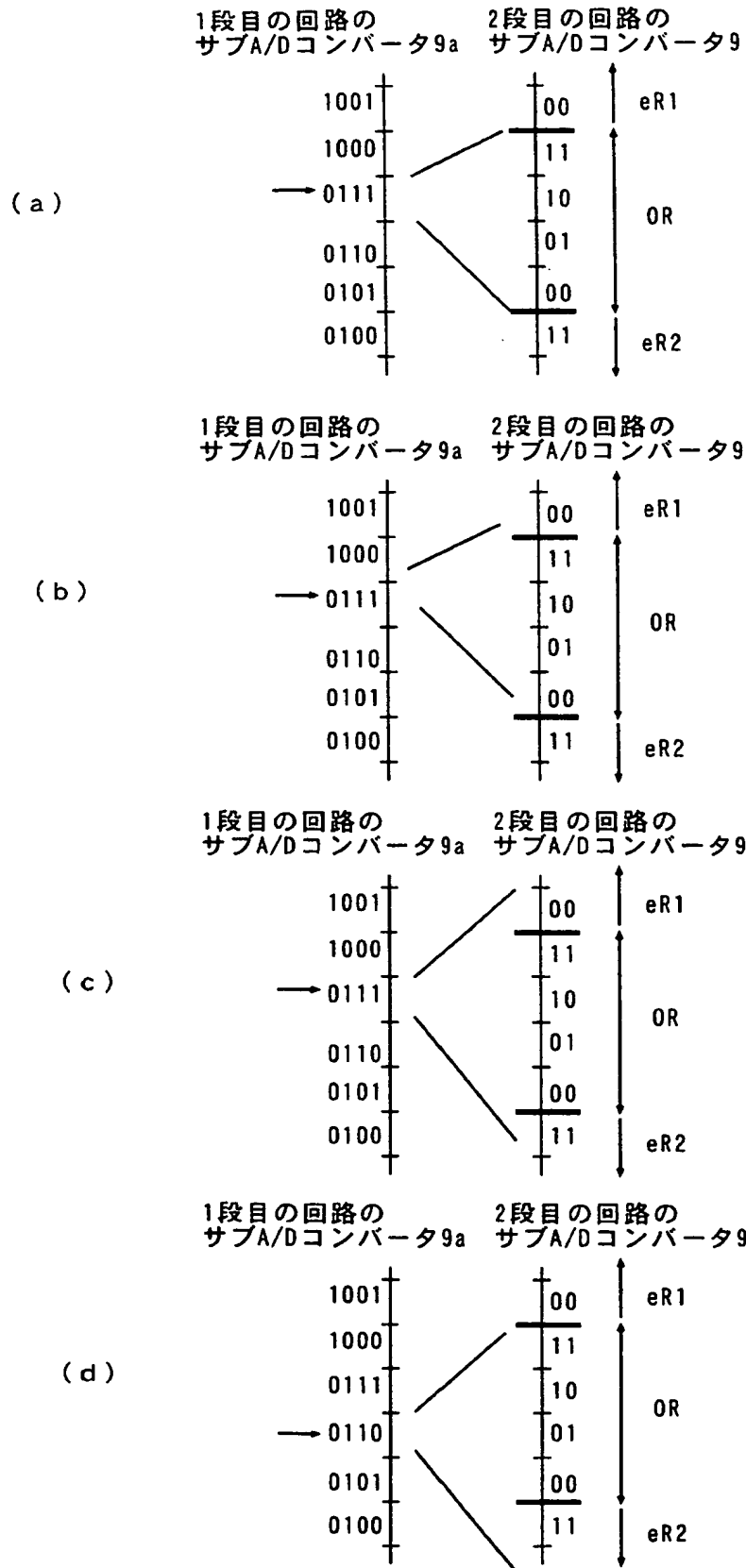
【図 18】



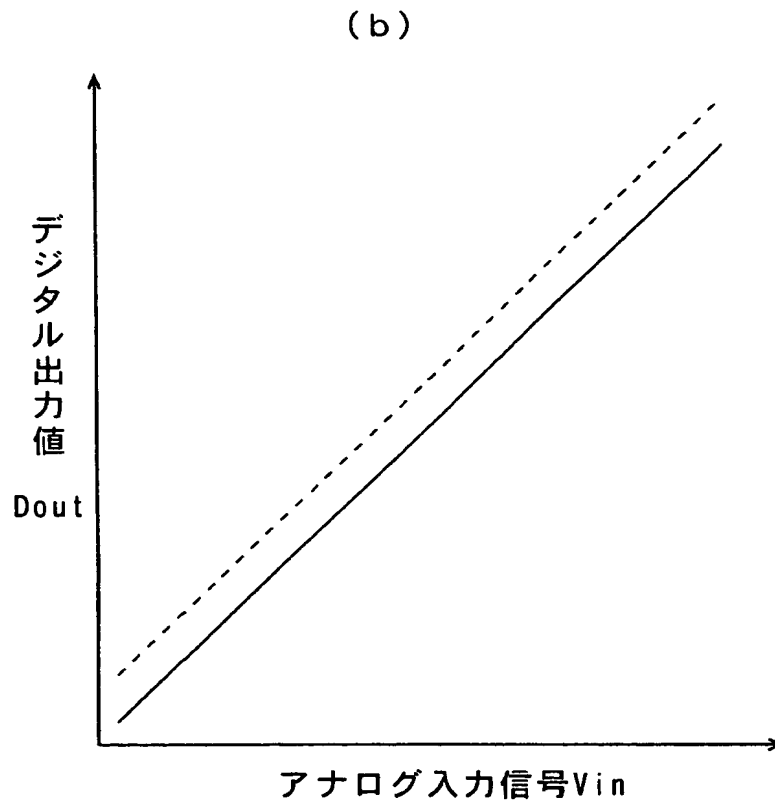
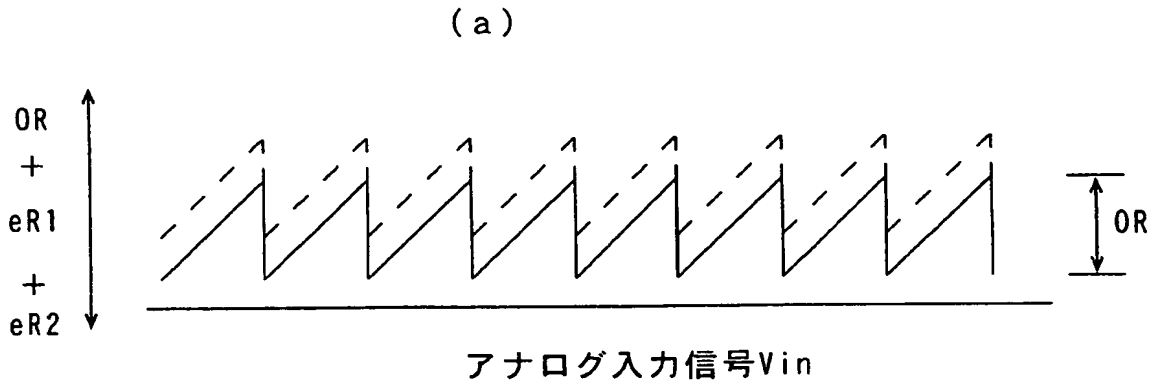
【図 19】



【図 20】



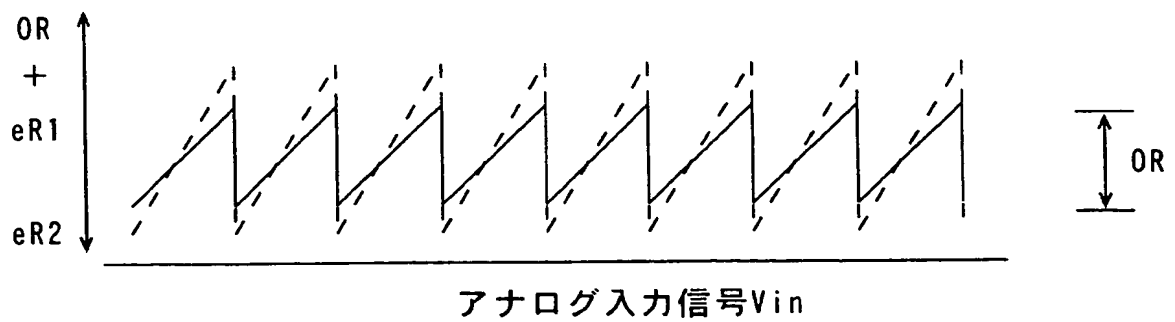
【図 21】



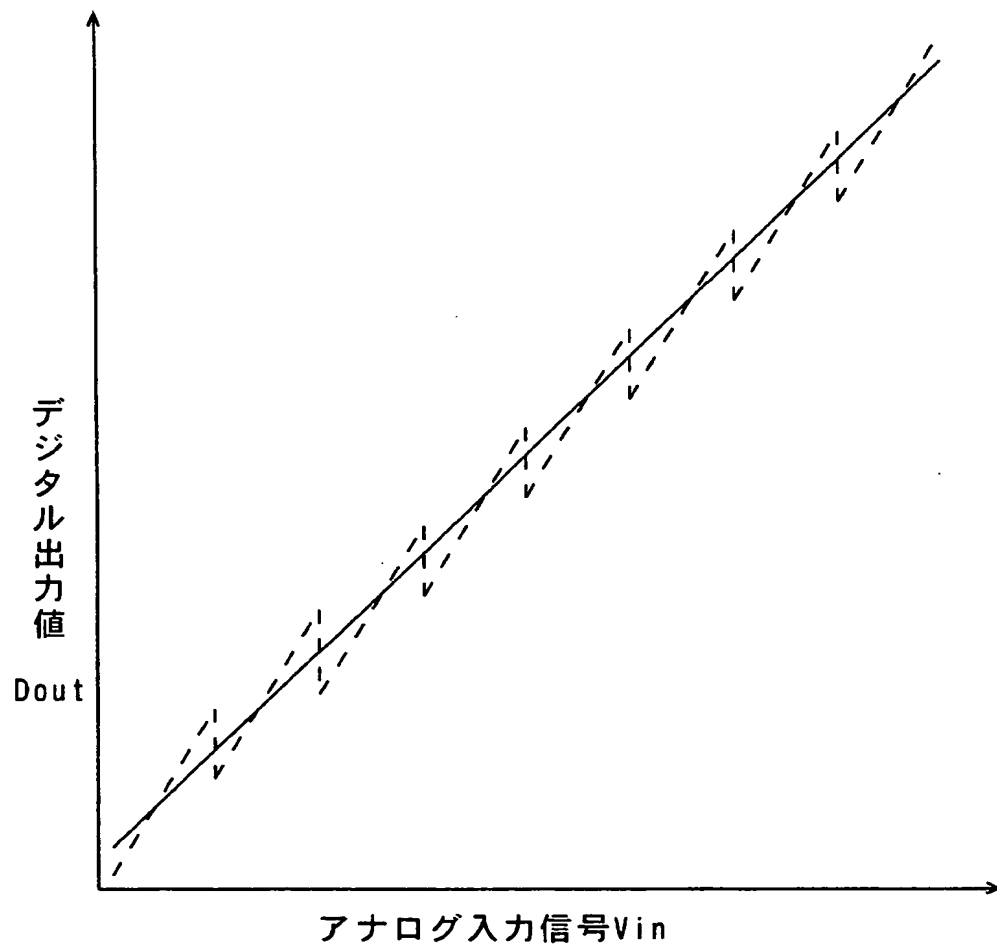


【図 22】

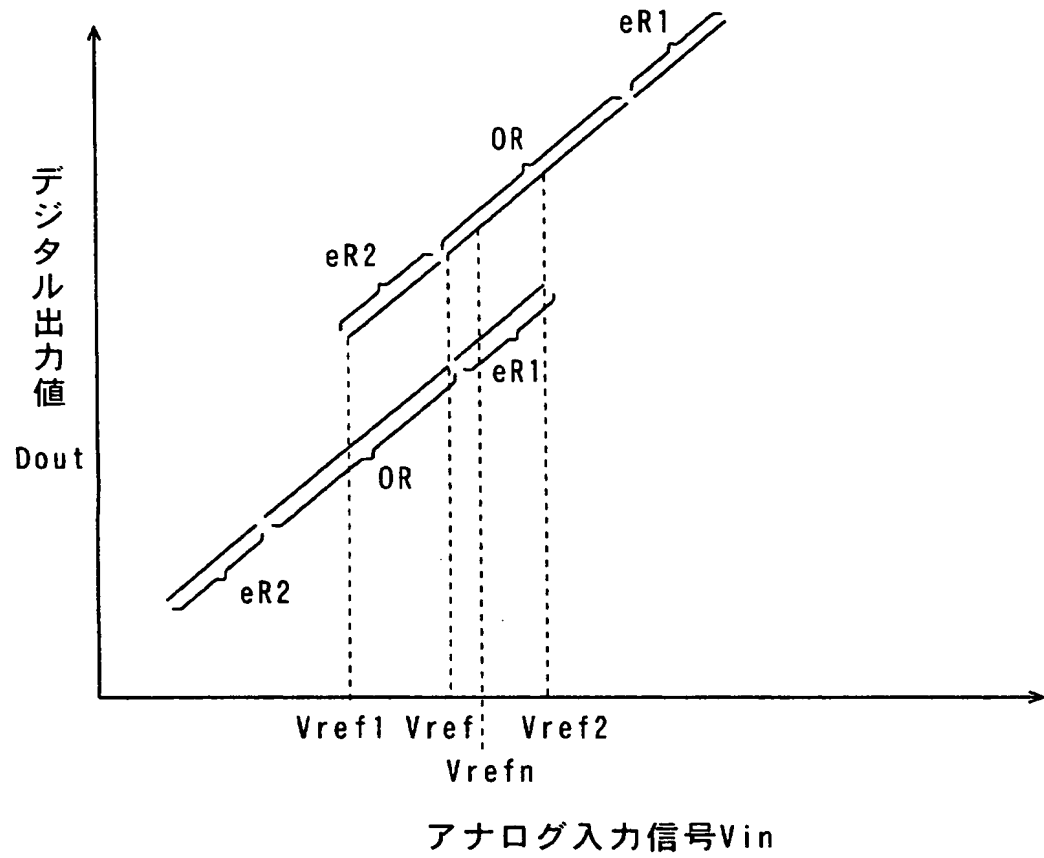
(a)



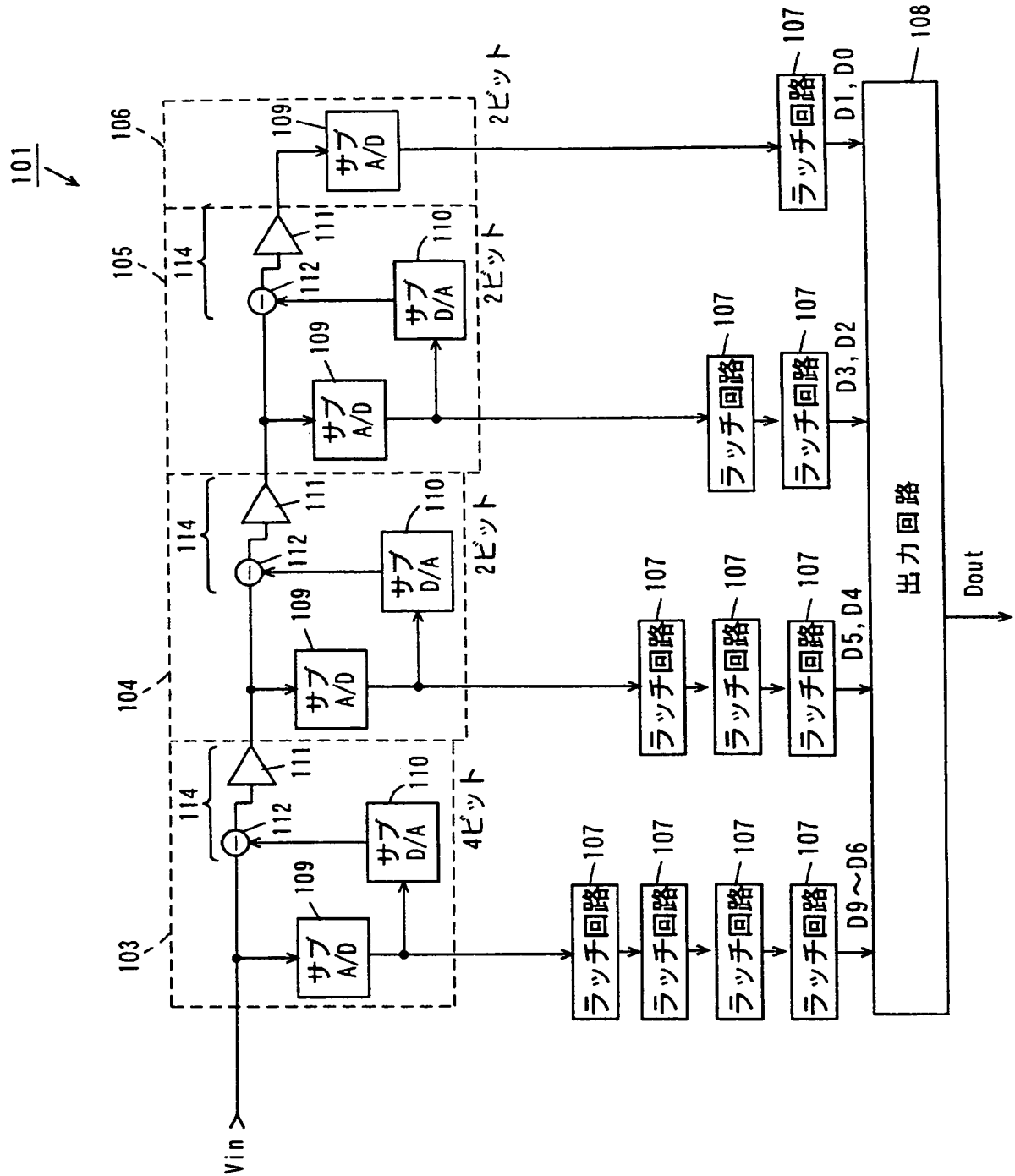
(b)



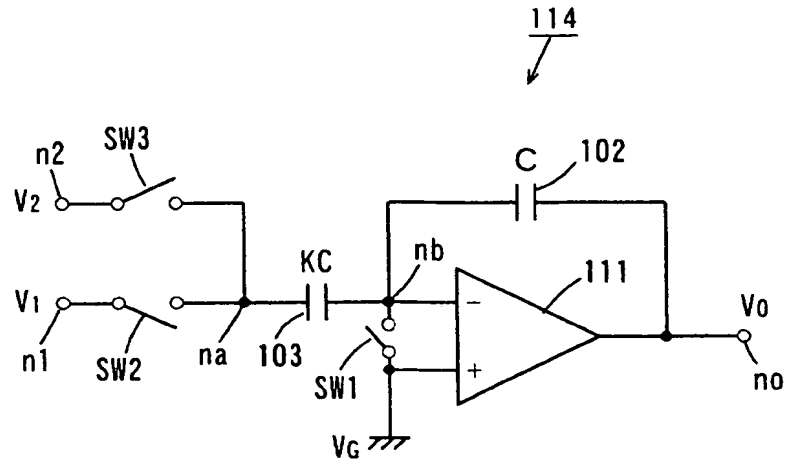
【図 23】



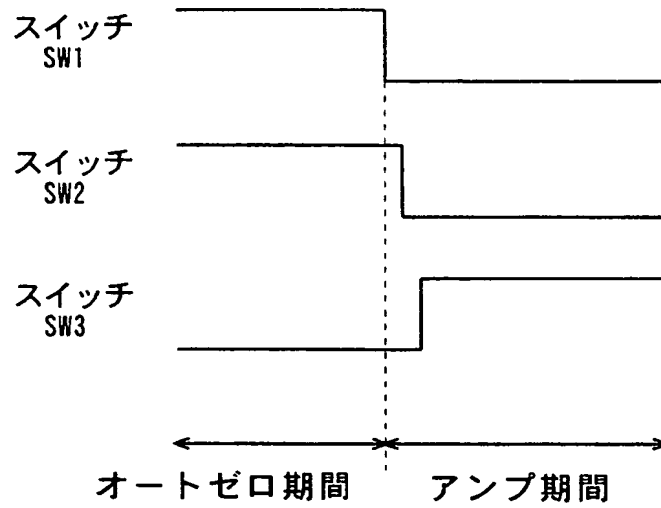
【図 24】



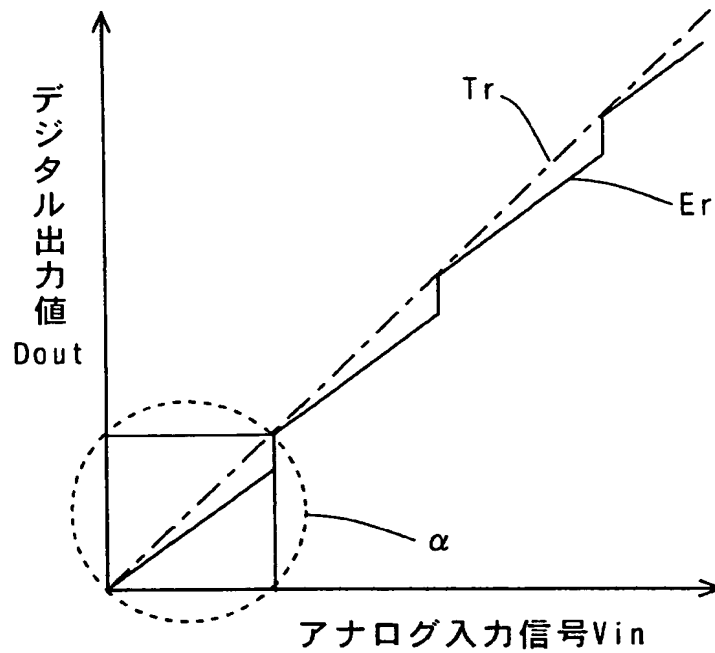
【図 25】



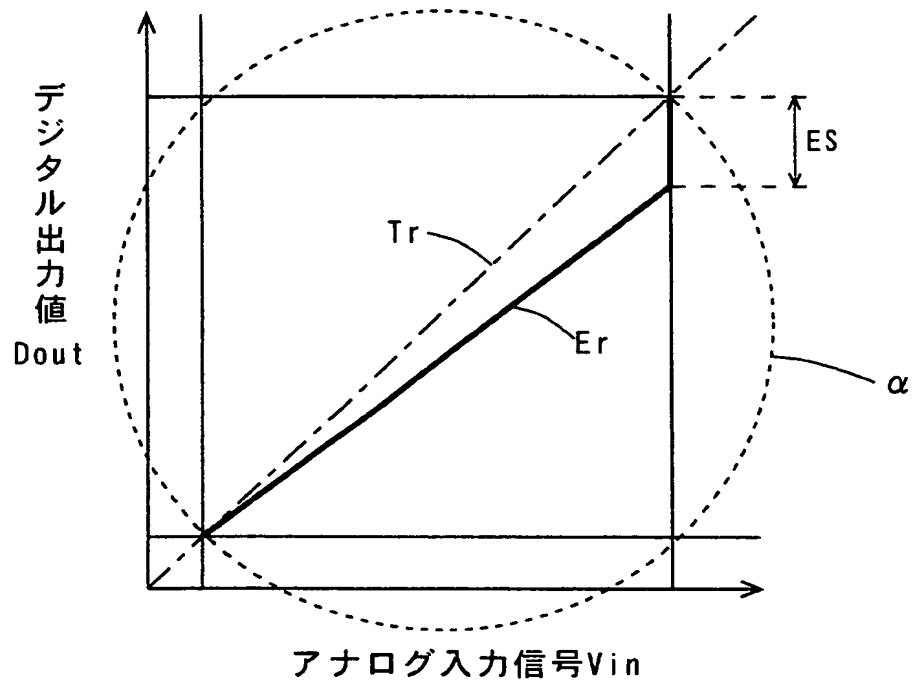
【図 26】



【図 27】



【図 28】



## 【書類名】 要約書

## 【要約】

【課題】 入出力特性の段差エラーを検出することが可能なアナログ-デジタル変換回路を提供することである

【解決手段】 アナログ-デジタル変換回路 1 では、1 段目の回路 3 で入力されるアナログ入力信号  $V_{in}$  が基準電圧  $V_{ref a}$  とサブ A/D コンバータ 9 a 内のコンパレータにより比較され、コンパレータの出力信号に応答して演算増幅器 14 が動作する。スイッチ SW31, SW32 によりサブ A/D コンバータ 9 a に基準電圧  $V_{ref a}$  が入力された場合には、段差エラー検出回路により生成される外部入力信号に応答して動作する。外部入力信号  $CDS a$  “1” への応答時に得られるデジタル出力値と外部入力信号  $CDS a$  “0” への応答時に得られるデジタル出力値との差が演算増幅器 14 のゲインエラーによる入出力特性の段差エラーの大きさに相当する。

【選択図】 図 1

特願 2 0 0 3 - 3 1 8 8 3 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社